

特開平10-164853

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶

識別記号

F I

H 0 2 M 7/48

H 0 2 M 7/48

M

7/538

7/538

A

H 0 5 B 41/24

H 0 5 B 41/24

A

41/29

41/29

L

C

審査請求 未請求 請求項の数14 O L (全 33 頁)

(21) 出願番号

特願平8-314352

(22) 出願日

平成8年(1996)11月26日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 迫 浩行

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 西本 和弘

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 濱本 勝信

大阪府門真市大字門真1048番地松下電工株式会社内

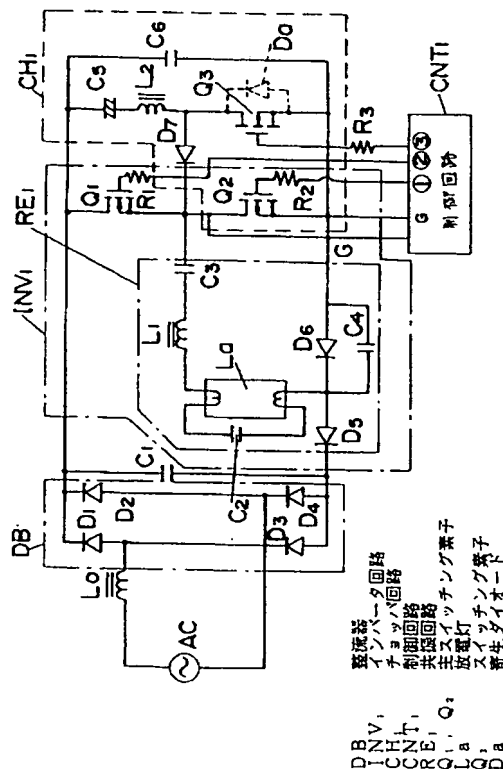
(74) 代理人 弁理士 西川 恵清 (外1名)

(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 軽負荷時における電源電圧の上昇を抑える。

【解決手段】 整流器DBの脈流出力端間に疑似電源となるコンデンサC₁と並列接続されたコンデンサC₂、インダクタンスL₁及びスイッチング素子Q₁を有するチョッパ回路CH₁を備える。スイッチング素子Q₁は寄生ダイオードD_aを有するFETから成り、インバータ回路INV₁の主スイッチング素子Q₁、Q₂を駆動する制御回路CNT₁によってオン・オフされる。制御回路CNT₁によってスイッチング素子Q₂をオン・オフすることにより、インバータ回路INV₁の動作モード(放電灯L_aを予熱する先行予熱モードと、放電灯L_aを点灯させる点灯モード)に応じた回路構成を選択することができる。よって、軽負荷時におけるインバータ回路INV₁への供給電圧の上昇防止と、主スイッチング素子Q₁、Q₂に対するストレス低減とが同時に可能となる。



【特許請求の範囲】

【請求項 1】 交流電源を整流する整流器と、整流器の出力端間に接続される第 1 のコンデンサと、第 1 のコンデンサの両端に直列接続される第 1 及び第 2 の主スイッチング素子並びに何れか一方の主スイッチング素子と並列接続される共振回路を具備するインバータ回路と、第 1 及び第 2 の主スイッチング素子を高周波で交互にオン・オフする制御回路とを備え、上記共振回路は、共振用の第 1 のインダクタンスと、負荷に並列接続される共振用の第 2 のコンデンサと、直流カップリング用の第 3 のコンデンサと、第 1 のダイオードが並列接続された第 4 のコンデンサとを有するとともに第 1 のコンデンサと第 1 及び第 2 の主スイッチング素子の直列回路との間に第 4 のコンデンサと第 1 のダイオードの上記並列回路が接続されて成り、第 1 及び第 2 の主スイッチング素子の直列回路に第 5 のコンデンサ、第 2 のインダクタンス並びに第 2 のダイオードの直列回路と、第 6 のコンデンサとが並列接続され且つ第 1 及び第 2 の主スイッチング素子の接続点と第 2 のインダクタンス及び第 2 のダイオードの接続点を第 3 のダイオードにより接続して成る電源装置において、第 2 のダイオードと並列にスイッチング素子を設けるとともに、上記制御回路により負荷の状態に応じて上記スイッチング素子をオン・オフすることを特徴とする電源装置。

【請求項 2】 交流電源を整流する整流器と、整流器に接続される第 1 のコンデンサと、第 1 のコンデンサと並列に直列接続される第 1 及び第 2 の主スイッチング素子並びに何れか一方の主スイッチング素子と並列接続される共振回路を具備するインバータ回路と、第 1 及び第 2 の主スイッチング素子を高周波で交互にオン・オフする制御回路とを備え、上記共振回路は、共振用の第 1 のインダクタンスと、負荷に並列接続される共振用の第 2 のコンデンサと、直流カップリング用の第 3 のコンデンサと、第 1 のダイオードが並列接続された第 4 のコンデンサとを有するとともに第 1 のコンデンサと第 1 及び第 2 の主スイッチング素子の直列回路との間に第 4 のコンデンサと第 1 のダイオードの上記並列回路が接続されて成り、第 1 及び第 2 の主スイッチング素子の直列回路に第 5 のコンデンサ、第 2 のインダクタンス並びに第 2 のダイオードの直列回路と、第 6 のコンデンサとが並列接続され且つ第 1 及び第 2 の主スイッチング素子の接続点と第 2 のインダクタンス及び第 2 のダイオードの接続点を第 3 のダイオードにより接続して成る電源装置において、第 2 のインダクタンスの両端に設けられる一対の切換端子と、第 1 の主スイッチング素子の高電位側に設けられる共通端子と、上記制御回路により制御されて上記共通端子を上記一対の切換端子に択一に切換接続する切換回路を備えたことを特徴とする電源装置。

【請求項 3】 上記制御回路によりオン・オフされて上記第 4 のコンデンサの両端間を短絡するスイッチング素

子を備えたことを特徴とする請求項 1 記載の電源装置。

【請求項 4】 上記制御回路によりオン・オフされるスイッチング素子と第 7 のコンデンサの直列回路が第 4 のコンデンサに並列接続されて成ることを特徴とする請求項 1 記載の電源装置。

【請求項 5】 上記制御回路によりオン・オフされて上記第 4 のコンデンサの両端間を短絡する短絡用のスイッチング素子を備え、上記制御回路によりオン・オフされる切換用のスイッチング素子と第 7 のコンデンサの直列回路が第 4 のコンデンサに並列接続されて成ることを特徴とする請求項 2 記載の電源装置。

【請求項 6】 交流電源を整流する整流器と、高周波でスイッチングされる 1 乃至複数の主スイッチング素子を具備するとともに 1 乃至複数の共振用のインダクタンス、共振用のコンデンサ、直流成分カット用のコンデンサ並びに負荷から構成される共振回路を有して上記整流器の出力を高周波出力に変換して負荷に供給するインバータ回路と、1 乃至複数の部分平滑用のコンデンサを具備して上記整流器の出力を部分平滑する電源回路とを備えた電源装置において、上記共振回路を介して整流器の出力側に上記インバータ回路の高周波出力の一部を帰還する帰還手段と、交流電源電圧の絶対値が部分平滑用のコンデンサの両端電圧よりも低いときに上記インバータ回路の発振を開始させる制御手段とを備えたことを特徴とする電源装置。

【請求項 7】 上記インバータ回路の発振開始前に、部分平滑用のコンデンサを充電する手段を備えたことを特徴とする請求項 6 記載の電源装置。

【請求項 8】 上記インバータ回路の発振開始前に、上記共振回路を構成する直流成分カット用のコンデンサの両端電圧が部分平滑用のコンデンサの両端電圧よりも低い状態まで直流成分カット用のコンデンサを充電する手段を備えたことを特徴とする請求項 7 記載の電源装置。

【請求項 9】 交流電源電圧のゼロクロスを検出する検出手段を備え、上記制御手段は、検出手段がゼロクロスを検出したときに上記インバータ回路の発振を開始させて成ることを特徴とする請求項 6～8 の何れかに記載の電源装置。

【請求項 10】 交流電源を整流する整流器と、高周波でオン・オフされる 1 乃至複数の主スイッチング素子を具備し直流出力を高周波交流出力に変換して負荷へ供給するインバータ回路と、1 乃至複数のコンデンサ並びにインダクタンスを有するとともに上記主スイッチング素子のオン・オフ動作によって上記コンデンサを充電し整流器の脈流出力を部分平滑した上記直流出力を上記インバータ回路に供給する部分平滑回路とを備えた電源装置において、上記部分平滑回路のコンデンサをインダクタンスを介して上記主スイッチング素子に直列接続するとともに、上記インバータ回路の動作開始前に上記コンデンサを充電する充電回路を上記インダクタンスと主スイ

ッチング素子の直列回路に並列接続して成ることを特徴とする電源装置。

【請求項 11】 上記コンデンサを所定のレベル以上に充電した後は上記充電回路による充電を停止して成ることを特徴とする請求項 10 記載の電源装置。

【請求項 12】 上記充電回路は、上記コンデンサの充電経路を開閉する開閉手段を具備することを特徴とする請求項 11 記載の電源装置。

【請求項 13】 上記開閉手段は、インバータ回路の主スイッチング素子よりも先に動作を開始するとともに、上記主スイッチング素子のオン・オフ動作に同期してオン・オフ動作が繰り返されることを特徴とする請求項 12 記載の電源装置。

【請求項 14】 上記開閉手段は、上記コンデンサの充電電圧レベルに応じてオン・オフ動作が繰り返されることを特徴とする請求項 12 記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、インバータ回路を備える電源装置に関するものである。

【0002】

【従来の技術】 従来より、交流電源を整流平滑して得られる直流出力を高周波の交流出力に変換するインバータ回路を備えた電源装置があり、このような従来装置のいくつかを以下に説明する。

(従来例 1) 図 35 は特開平 8-149845 号公報に記載されている本従来例の回路図である。本従来例は、交流電源 AC と、高周波電流カット用のチョークコイル L_c と、ダイオード $D_1 \sim D_4$ をブリッジ接続して成る整流器 DB と、整流器 DB の出力端間に接続されて疑似電源となるコンデンサ C_1 と、このコンデンサ C_1 と並列に接続されたインバータ回路 INV₁ と、インバータ回路 INV₁ が具備する直列接続された一対の主スイッチング素子 Q_1, Q_2 を交互にオン・オフさせる制御回路 CNT₁ と、電解コンデンサ C_2 、インダクタンス L_1 、ダイオード D_5, D_6 、コンデンサ C_3 を具備するとともにインバータ回路 INV₁ の一方の主スイッチング素子 Q_1 を共用したチョップ回路 CH₁ とを備えている。なお、各主スイッチング素子 Q_1, Q_2 には、電界効果トランジスタ以外にもダイオードを逆並列に接続したバイポーラトランジスタなどが用いられる場合もある。

【0003】 インバータ回路 INV₁ においては、一対の主スイッチング素子 Q_1, Q_2 の直列回路がコンデンサ C_1 に並列接続されている。低電位側の主スイッチング素子 Q_2 には、直流成分カット（カップリング）用のコンデンサ C_4 、共振用のチョークコイル（インダクタンス） L_1 、放電灯 L_a 、共振用のコンデンサ C_2 、入力電流歪改善用のコンデンサ C_5 、並びにコンデンサ C_1 に並列接続されたダイオード D_6 から成る共振回路 RE

が並列に接続されている（このインバータ回路 INV₁ の構成及び動作については、特開平 5-38161 号公報、特願平 7-310269 号等参照）。

【0004】 本従来例の回路動作を説明する。インバータ回路 INV₁ の主スイッチング素子 Q_1, Q_2 は制御回路 CNT₁ によって高周波で交互にオン・オフされる。したがって、高電位側の主スイッチング素子 Q_1 のオン時には、（チョップ回路 CH₁ の出力電圧 V_{a1} ）<（コンデンサ C_1 の両端電圧 V_{c1} + コンデンサ C_4 の両端電圧 V_{c4} ）の場合にコンデンサ C_1 から主スイッチング素子 $Q_1 \rightarrow$ コンデンサ $C_4 \rightarrow$ インダクタンス $L_1 \rightarrow$ 放電灯 L_a 及びコンデンサ $C_2 \rightarrow$ ダイオード $D_5 \rightarrow$ コンデンサ C_1 の経路で共振電流が流れるとともに、 $V_{a1} > V_{c1} + V_{c4}$ の場合にチョップ回路 CH₁ から主スイッチング素子 $Q_1 \rightarrow$ コンデンサ $C_4 \rightarrow$ インダクタンス $L_1 \rightarrow$ 放電灯 L_a 及びコンデンサ $C_2 \rightarrow$ コンデンサ $C_1 \rightarrow$ チョップ回路 CH₁ の経路で共振電流が流れる。また、低電位側の主スイッチング素子 Q_2 のオン時には、コンデンサ C_3 の電荷が放出されてコンデンサ $C_3 \rightarrow$ 主スイッチング素子 $Q_2 \rightarrow$ ダイオード D_6 及びコンデンサ $C_1 \rightarrow$ 放電灯 L_a 及びコンデンサ $C_2 \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ C_3 の経路で共振電流が流れる。

【0005】 ここで、主スイッチング素子 Q_1 のオン時にインダクタンス L_1 に蓄積されたエネルギーは、主スイッチング素子 Q_1 のオフに伴ってコンデンサ C_3 やダイオード D_5 を通して放出されてチョップ回路 CH₁ のコンデンサ C_4 を充電する。また、主スイッチング素子 Q_2 のオン時にチョップ回路 CH₁ のインダクタンス L_1 に蓄積されたエネルギーは、主スイッチング素子 Q_2 のオフに伴ってダイオード D_6 及び主スイッチング素子 Q_1 の寄生ダイオード（図示せず）を通して放出されてコンデンサ C_3 を充電する。

【0006】 本従来例では、交流電源 AC の全区間において入力電流（共振電流）を流すことができるから、入力電流の歪を改善することができ、また、図 36 に示すように疑似電源となるコンデンサ C_1 の両端電圧 V_{c1} の谷部がチョップ回路 CH₁ の出力電圧 V_{a1} で埋められるから、インバータ回路 INV₁ への供給電圧 V_{a1} に休止期間が生じずに入力電流歪を改善することができる。とともに、負荷である放電灯 L_a への供給電流のピーク値を引き下げることができて負荷電流波形を改善することができるのである。さらに、チョップ回路 CH₁ を備えることで、負荷が放電灯 L_a である場合のランプ寿命末期等の負荷異常時や軽負荷時（先行予熱時、無負荷時あるいは調光点灯時）などに、インバータ回路 INV₁ のコンデンサ C_1 の充電電圧が上昇してインバータ回路 INV₁ への供給電圧 V_{a1} が昇圧される問題が回避できる。

【0007】（従来例 2）第 2 の従来例としては、特開昭 59-220081 号公報に記載されているものがあ

り、その概略回路図を図37に、その動作波形図を図38に示す。本従来例は、交流電源ACをフィルター回路Fを介して整流器DBで整流して得られる直流出力を、インバータ回路INV、'で交流電力に変換して負荷である放電灯Laに供給する電源装置である。

【0008】ここでフィルター回路Fは、交流電源ACの一端に接続されたインダクタンス L_1 と、インダクタンス L_2 を介して交流電源ACの両端に並列接続されたコンデンサ C_1 とから構成される。インバータ回路INV、'は、一対の主スイッチング素子 Q_1 、 Q_2 の直列回路と、主スイッチング素子 Q_1 、 Q_2 の直列回路の両端に並列接続されたコンデンサ C_2 と、主スイッチング素子 Q_1 、 Q_2 の直列回路の両端に並列接続されたダイオード D_1 、インダクタンス L_2 、部分平滑（谷埋）用のコンデンサ C_3 の直列回路と、主スイッチング素子 Q_1 、 Q_2 の接続点及びダイオード D_1 、インダクタンス L_2 の接続点間に接続されたダイオード D_2 と、主スイッチング素子 Q_1 、 Q_2 の接続点及び整流器DBの正の出力端子間に接続された負荷回路3、直流成分カット用のコンデンサ C_4 の直列回路とから構成され、主スイッチング素子 Q_1 、 Q_2 が交互にオンオフを繰り返すことにより負荷である放電灯Laを高周波点灯させる所謂ハーフブリッジ式インバータ回路である。なお、主スイッチング素子 Q_1 、 Q_2 は制御回路CNT、'により制御されて交互にオン・オフする。また、主スイッチング素子 Q_1 、 Q_2 、インダクタンス L_2 、部分平滑用のコンデンサ C_3 、ダイオード D_2 、 D_1 からインバータ回路INV、'に電源を供給する（谷埋）電源回路1'が構成される。負荷回路3は、コンデンサ C_4 及び整流器DBの正の出力端子間に接続されたトランスT₁の1次巻線 n_1 、インダクタンス L_1 の直列接続と、トランスT₁の1次巻線 n_1 の両端に並列接続された共振用のコンデンサ C_2 と、トランスTの2次巻線 n_2 の両端に並列接続された放電灯Laとから構成される。更に、直流成分カット用のコンデンサ C_4 、インダクタンス L_1 、トランスT₁の1次巻線 n_1 及びコンデンサ C_2 からなる直列回路により、インバータ回路INV、'の高周波出力の一部を整流器DBの出力端に帰還する高周波出力帰還手段を構成する。

【0009】以下に簡単に動作を説明する。まず、交流電源ACの山部近傍（ $V_A \geq V_C$ ）での動作を簡単に説明する。主スイッチング素子 Q_1 がオン、スイッチング素子 Q_2 がオフすると、交流電源AC→フィルター回路F→整流器DB→主スイッチング素子 Q_1 →ダイオード D_1 →インダクタンス L_2 →コンデンサ C_3 →整流器DB→フィルター回路F→交流電源ACの経路で入力電流 I_{in} が流れると共に、インダクタンス L_1 →コンデンサ C_2 、トランスT₁の1次巻線 n_1 →主スイッチング素子 Q_1 →コンデンサ C_3 →インダクタンス L_1 の経路で共振電流が流れる。主スイッチング素子 Q_1 がオフ

フ、 Q_2 がオンすると、インダクタンス L_2 →コンデンサ C_3 →主スイッチング素子 Q_2 →ダイオード D_1 →インダクタンス L_2 の経路でインダクタンス L_2 の回生電流が流れると共に、インダクタンス L_1 →コンデンサ C_2 、トランスT₁の1次巻線 n_1 →コンデンサ C_3 →主スイッチング素子 Q_2 →コンデンサ C_2 →インダクタンス L_1 の経路で共振電流、つまりインダクタンス L_1 の回生電流が流れる。やがてインダクタンス L_1 を流れる共振電流の向きが反転してコンデンサ C_3 →コンデンサ C_2 、トランスT₁の1次巻線 n_1 →インダクタンス L_1 →コンデンサ C_3 →主スイッチング素子 Q_2 →コンデンサ C_2 の経路で流れる。そして、主スイッチング素子 Q_1 がオン、 Q_2 がオフすると、交流電源AC→フィルター回路F→整流器DB→主スイッチング素子 Q_1 →ダイオード D_1 →インダクタンス L_2 →コンデンサ C_3 →整流器DB→フィルター回路F→交流電源ACの経路で入力電流が流れると共に、インダクタンス L_1 →コンデンサ C_2 →主スイッチング素子 Q_1 →コンデンサ C_2 、トランスT₁の1次巻線 n_1 →インダクタンス L_1 の経路で共振電流、つまりインダクタンス L_1 の回生電流が流れる。

【0010】この場合、コンデンサ C_2 は交流電源ACより充電されるので、コンデンサ C_2 の両端電圧 V_C の波形は図38(a)に示す様に交流電源ACの変化に対して略相似形となる。また、図38(b)に示す様な、交流電源ACの変化に対して略相似形の波形を有する入力電流 I_{in} は、上述の様に主スイッチング素子 Q_1 のオンの時のみ流れ、その電流をフィルター回路Fでフィルタリングすると、図38(b)に示す様な、導通角の広い入力電流 I_{in} が得られ、よって入力率を改善することが可能である。ランプ電流 I_{Lr} は、図38(c)に示す様に、コンデンサ C_2 の両端電圧 V_C の変化に対して略相似形の包絡線を有する交流の高周波電流波形となる。

【0011】次に、交流電源ACの谷部近傍（ $V_A \leq V_C$ ）での動作を簡単に説明する。主スイッチング素子 Q_1 がオン、 Q_2 がオフすると、コンデンサ C_3 →インダクタンス L_2 →ダイオード D_1 →コンデンサ C_3 の経路で谷埋電流が流れると共に、インダクタンス L_1 →コンデンサ C_2 、トランスT₁の1次巻線 n_1 →主スイッチング素子 Q_1 →コンデンサ C_3 →インダクタンス L_1 の経路で共振電流が流れる。主スイッチング素子 Q_1 がオフ、 Q_2 がオンすると、コンデンサ C_3 →インダクタンス L_2 →ダイオード D_1 →コンデンサ C_3 →コンデンサ C_2 の経路で谷埋電流が流れると共に、インダクタンス L_1 →コンデンサ C_2 、トランスT₁の1次巻線 n_1 →コンデンサ C_3 →スイッチング素子 Q_2 →コンデンサ C_3 →インダクタンス L_1 の経路で共振電流、つまりインダクタンス L_1 の回生電流が流れる。やがてインダクタンス L_1 を流れる共振電流の向き

が反転してコンデンサ $C_1 \rightarrow$ コンデンサ C_2 , トランス T_1 の 1 次巻線 $n_1 \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ $C_3 \rightarrow$ 主スイッチング素子 $Q_2 \rightarrow$ コンデンサ C_4 の経路で流れる。そして、主スイッチング素子 Q_1 がオン、 Q_2 がオフすると、コンデンサ $C_4 \rightarrow$ インダクタンス $L_2 \rightarrow$ ダイオード $D_1 \rightarrow$ コンデンサ $C_1 \rightarrow$ コンデンサ C_2 の経路で谷埋電流が流れると共に、インダクタンス $L_1 \rightarrow$ コンデンサ $C_3 \rightarrow$ 主スイッチング素子 $Q_1 \rightarrow$ コンデンサ C_2 , トランス T_1 の 1 次巻線 $n_1 \rightarrow$ インダクタンス L_1 の経路で共振電流、つまりインダクタンス L_1 の再生電流が流れる。

【0012】この場合、コンデンサ C_4 はコンデンサ C_1 , 負荷回路 3 に徐々に電荷を放電するので、コンデンサ C_4 の両端電圧 V_{c4} の波形は図 38 (a) に示す様に徐々に低下していき、また、図 38 (b) に示す様に入力電流 I_{in} は流れない。ランプ電流 I_{La} は、図 38 (c) に示す様に、コンデンサ C_4 の両端電圧 V_{c4} の変化に対して略相似形の包絡線を有する交流の高周波電流波形となる。

【0013】ところで、上述の様に、部分平滑コンデンサ C_4 は主スイッチング素子 Q_1 がオンした時にしか充電されず、またコンデンサ C_4 の充電経路にはインダクタンス L_2 が挿入されているので、図 38 (a) に示す様に、コンデンサ C_4 の両端電圧 V_{c4} は交流電源 AC を整流したピーク電圧よりも低い値となる。よって、コンデンサ C_4 の両端電圧 V_{c4} の波形は、図 38 (a) に示す様なリップルを含む電圧波形となり、ランプ電流 I_{La} の波形も図 38 (c) に示す様にコンデンサ C_4 の両端電圧 V_{c4} の変化に追従したリップルを含む電流波形となる。

【0014】(従来例 3) 第 3 の従来例としては、特開平 8-149845 号公報に記載されているものがあり、その概略回路図を図 39 に、その動作波形図を図 40 に示す。図 37 に示した従来例 2 と異なる点は、整流器 DB の正の出力端子及び主スイッチング素子 Q_1 の高電位側との間にコンデンサ C_1 , ダイオード D_1 の並列回路を挿入したことであり、その他の従来例 2 と同一の構成には同一の符号を付すことにより説明を省略する。

【0015】本従来例は、交流電源 AC の 1 周期のほぼ全区間にわたり、主スイッチング素子 Q_1 , Q_2 のオン・オフに応じて交流電源 AC からインバータ回路 INV_1 へ電流が供給されるため、図 40 (b) に示す様に入力電流 I_{in} の波形を略正弦波状にすることが可能となり、従って、入力力率の向上及び入力電流波形歪の改善が可能となり、高調波成分を大幅に低減することが可能となる。

【0016】ところで、本従来例の場合では、インバータ回路 INV_1 の共振系は交流電源 AC の大きさに応じて変化する。交流電源 AC の山部近傍では、共振系はインダクタンス L_1 , コンデンサ C_2 , トランス T_1 の

1 次巻線 n_1 , 放電灯 La となり、交流電源 AC の谷部近傍では、共振系はインダクタンス L_1 , コンデンサ C_2 , トランス T_1 の 1 次巻線 n_1 , 放電灯 La , コンデンサ C_1 となっている。そのため、図 40 (c) に示す様なランプ電流 I_{La} が、交流電源 AC の電源電圧 V_{Ac} のピーク近傍とゼロクロス近傍とで各々最大値に近づく様になる。つまり、コンデンサ C_1 の両端電圧 V_{c1} と交流電源電圧 V_{Ac} との大きさに反比例する共振回路を組み合わせることで、出力の低周波リップルを大幅に低減している。従って、ランプ電流 I_{La} のクレストファクタ CF (=ピーク値/実効値) も改善され、それに伴ってランプ力率が改善され、ランプの発光効率も改善される。

【0017】なお、上記従来例 2 及び 3 のいずれにおいても、主スイッチング素子 Q_1 , Q_2 のいずれかがオンしない限り部分平滑用のコンデンサ C_4 の充電電流が流れないため、電源投入時の突入電流を抑制することが可能となる。しかし、上記従来例 2 及び 3 には以下のような問題が生じる。電源投入されてからインバータ回路 INV_1 が発振を開始するまでの間は、図 39 に示す回路は、図 41 に示すような回路と等価となる。この等価回路での交流電源 $AC \rightarrow$ フィルター回路 $F \rightarrow$ 整流器 $DB \rightarrow$ コンデンサ C_2 , トランス T_1 の 1 次巻線 $n_1 \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ $C_3 \rightarrow$ ダイオード $D_1 \rightarrow$ インダクタンス $L_2 \rightarrow$ コンデンサ $C_4 \rightarrow$ 整流器 $DB \rightarrow$ フィルター回路 $F \rightarrow$ 交流電源 AC の経路の直流インピーダンス要素としては、部分平滑用のコンデンサ C_4 と直流成分カット用のコンデンサ C_3 とが存在する。ところが、コンデンサ C_3 の容量はコンデンサ C_4 の容量に比べて極めて大きいので、フィルター回路 F , 整流器 DB を介した交流電源 AC はほとんどコンデンサ C_4 に印加される。一方、主スイッチング素子 Q_1 , Q_2 がデューティ比 50% で発振をしている定常状態では、コンデンサ C_4 の両端電圧 V_{c4} の略半分の電圧が常にコンデンサ C_3 に印加されている。

【0018】つまり、電源投入されてからインバータ回路 INV_1 が発振を開始するまでの間と、インバータ回路 INV_1 が発振を開始してから定常状態に至るまでの間とは、コンデンサ C_4 の両端電圧 V_{c4} には大きな差が発生する。よって、インバータ回路 INV_1 が発振を開始すると、主スイッチング素子 Q_1 のオン時にコンデンサ C_3 に充電された余分な電荷が放出されるため、図 42 に示すようなコンデンサ $C_3 \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ C_2 , トランス T_1 の 1 次巻線 $n_1 \rightarrow$ 主スイッチング素子 $Q_1 \rightarrow$ コンデンサ C_4 の経路で、図 43 (b) に示すような大きな電流 I_1 が流れることになり、主スイッチング素子 Q_1 に大きなストレスがかかってしまう。これを回避するには電流容量の高い半導体素子が必要となり、装置の大型化及びコストアップなどを招いてしまう。

【0019】(従来例4)上記の問題点を改善した第4の従来例の概略回路図を図44に示す(この回路構成は本出願人が特願平7-310268号において提案しているものである)。本従来例が図39に示した従来例3と異なる点は、インダクタンス L_2 、部分平滑用のコンデンサ C_3 の直列回路の両端にダイオード D_{1a} を逆並列接続し、ダイオード D_2 のアノードと主スイッチング素子 Q_2 、直流成分カット用のコンデンサ C_3 の接続点との間にダイオード D_{1a} を接続し、主スイッチング素子 Q_1 、ダイオード D_{1a} の直列接続の両端にダイオード D_{1b} を逆並列接続したことであり、その他の従来例3と同一の構成には同一の符号を付すことより説明を省略する。なお、本回路では主スイッチング素子 Q_1 、 Q_2 にMOSFETを用いている。

【0020】次に動作を簡単に説明する。主スイッチング素子 Q_1 がオフ、 Q_2 がオンすると、コンデンサ C_1 の両端電圧 V_{c1} が整流器DBの出力電圧とコンデンサ C_2 の両端電圧との総和よりも大きい場合、コンデンサ $C_1 \rightarrow$ コンデンサ $C_2 \rightarrow$ コンデンサ C_3 、トランス T_1 の1次巻線 $n_1 \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ $C_3 \rightarrow$ 主スイッチング素子 $Q_2 \rightarrow$ コンデンサ C_3 の経路で共振電流が流れ、コンデンサ C_1 の両端電圧 V_{c1} が整流器DBの出力電圧とコンデンサ C_2 の両端電圧との総和よりも小さい場合、交流電源AC \rightarrow フィルター回路F \rightarrow 整流器DB \rightarrow コンデンサ C_2 、トランス T_1 の1次巻線 $n_1 \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ $C_3 \rightarrow$ 主スイッチング素子 $Q_2 \rightarrow$ 整流器DB \rightarrow フィルター回路F \rightarrow 交流電源ACの経路で共振電流(=入力電流)が流れ、インダクタンス L_1 にエネルギーが蓄積される。そして主スイッチング素子 Q_1 、 Q_2 がオフすると、インダクタンス $L_1 \rightarrow$ コンデンサ $C_3 \rightarrow$ ダイオード $D_{1a} \rightarrow$ コンデンサ $C_1 \rightarrow$ 整流器DB \rightarrow フィルター回路F \rightarrow 交流電源AC \rightarrow コンデンサ C_2 、トランス T_1 の1次巻線 $n_1 \rightarrow$ インダクタンス L_1 の経路でインダクタンス L_1 に蓄積されていたエネルギーが放出され、入力電流が流れる。次に、主スイッチング素子 Q_1 がオン、 Q_2 がオフすると、コンデンサ $C_3 \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ C_2 、トランス T_1 の1次巻線 $n_1 \rightarrow$ コンデンサ $C_1 \rightarrow$ 主スイッチング素子 $Q_1 \rightarrow$ ダイオード $D_{1a} \rightarrow$ コンデンサ C_3 の経路で共振電流が流れ、コンデンサ C_1 の充電電荷が放出されると共にインダクタンス L_1 にエネルギーが蓄積され、コンデンサ C_1 の充電電荷がなくなると、コンデンサ $C_3 \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ C_2 、トランス T_1 の1次巻線 $n_1 \rightarrow$ ダイオード $D_{1a} \rightarrow$ 主スイッチング素子 $Q_1 \rightarrow$ ダイオード $D_{1b} \rightarrow$ コンデンサ C_3 の経路で共振電流が流れる。また、交流電源ACの山部近傍のみ、つまりコンデンサ C_1 の両端電圧 V_{c1} が整流器DBの出力電圧とコンデンサ C_2 の両端電圧との総和よりも小さい場合、交流電源AC \rightarrow フィルター回路F \rightarrow 整流器DB \rightarrow コンデンサ C_1 、ダイオード $D_{1a} \rightarrow$ 主スイッチング素

子 $Q_1 \rightarrow$ ダイオード $D_{1b} \rightarrow$ インダクタンス $L_1 \rightarrow$ コンデンサ $C_3 \rightarrow$ 整流器DB \rightarrow フィルター回路F \rightarrow 交流電源ACの経路で入力電流が流れる。そして主スイッチング素子 Q_1 、 Q_2 がオフすると、インダクタンス $L_1 \rightarrow$ コンデンサ C_3 、トランス T_1 の1次巻線 $n_1 \rightarrow$ コンデンサ C_1 、ダイオード $D_{1a} \rightarrow$ コンデンサ $C_3 \rightarrow$ スイッチング素子 Q_2 の寄生ダイオード(図示せず) \rightarrow コンデンサ $C_3 \rightarrow$ インダクタンス L_1 の経路でインダクタンス L_1 に蓄積されていたエネルギーが放出され、共振電流が流れる。

【0021】つまり、電源投入されてからインバータ回路INV₁が発振を開始するまでの間は、主スイッチング素子 Q_1 、 Q_2 、ダイオード D_{1a} がオフしているので直流電流カット用のコンデンサ C_3 には電荷は充電されず、インバータ回路INV₁の発振開始直後のコンデンサ C_3 による過電流は発生しない。

(従来例5)第5の従来例の概略回路図を図45に、その動作波形図を図46に示す。なお、この回路構成は本出願人が特願平7-254210号において提案しているものである。

【0022】本従来例では、交流電源ACを整流平滑する整流器DBの出力端間に、コンデンサ C_3 と、主スイッチング素子 Q_1 、 Q_2 の直列回路と、インダクタンス L_2 、コンデンサ C_4 、ダイオード D_2 の直列回路とが並列接続されるとともに、主スイッチング素子 Q_1 、 Q_2 の接続点とコンデンサ C_3 、ダイオード D_2 の接続点との間にダイオード D_{1a} が接続され、さらに主スイッチング素子 Q_2 と並列に抵抗 R_{1a} 、スイッチング素子 Q_{1a} の直列回路が並列接続されてインバータ回路INV₁が構成されている。また、負荷Zはインダクタンス L_3 、コンデンサ C_{1a} を介して主スイッチング素子 Q_2 に並列接続されている。主スイッチング素子 Q_1 、 Q_2 は発振回路7によって交互にオン・オフされ、スイッチング素子 Q_{1a} は起動回路8によってオン・オフされる。なお、起動回路8は発振回路7の制御も行う。

【0023】次に回路動作を説明する。まず、電源投入時から一定の期間が経過するまで起動回路8を動作させてスイッチング素子 Q_{1a} をオンするとともに、発振回路7を制御して主スイッチング素子 Q_1 、 Q_2 をオフとしてインバータ回路INV₁の動作を停止させる。このようなインバータ回路INV₁の停止期間中には、整流器DB \rightarrow インダクタンス $L_2 \rightarrow$ コンデンサ $C_3 \rightarrow$ ダイオード $D_2 \rightarrow$ 主スイッチング素子 Q_2 の経路で電流が流れてコンデンサ C_3 が充電される。そして、上記一定期間が経過したら、起動回路8がスイッチング素子 Q_{1a} をオフするとともに発振回路7を制御して主スイッチング素子 Q_1 、 Q_2 を交互にオン・オフさせる。以降、発振回路7によって主スイッチング素子 Q_1 、 Q_2 のオン・オフを繰り返すことにより、インダクタンス L_1 、コンデンサ C_3 、負荷Zのインピーダンス及び主スイッチング素

子 Q_1 、 Q_2 の駆動周波数(発振回路7の発振周波数)によって決まる高周波電力が負荷Zに供給される。

【0024】また、インダクタンス L_2 、コンデンサ C_3 、ダイオード D_1 、 D_2 で構成される(谷埋)電源回路は、主スイッチング素子 Q_2 のオン時に交流電源AC→整流器DB→インダクタンス L_2 →コンデンサ C_3 →ダイオード D_1 →主スイッチング素子 Q_1 →整流器DB→交流電源ACの経路で電流を流して部分平滑(谷埋)用のコンデンサ C_3 を充電する。ここで、図46(a)に示すように、整流器DBからの入力電圧 V_i がコンデンサ C_3 の両端電圧 V_{c3} よりも低くなると、コンデンサ C_3 が充電されなくなり、コンデンサ C_3 の充電電荷がダイオード D_2 を介して放電されることで図46

(c)に示すような放電電流が流れる。このとき、インバータ回路INVへの入力電圧波形は図46(b)に示すようになる。つまり、整流器DBからの入力電圧 V_i がコンデンサ C_3 の両端電圧 V_{c3} よりも高いときには、図46(d)に示すように降圧チョップ回路として動作してコンデンサ C_3 を充電し、入力電圧 V_i が両端電圧 V_{c3} よりも低いときには上記のようにコンデンサ C_3 の電荷を放電する谷埋(部分平滑)動作を行っている。

【0025】ところで、抵抗 R_{1a} とスイッチング素子 Q_1 の直列回路が無い場合について考えてみる。電源投入直後のインバータ回路INVの停止期間中にはコンデンサ C_3 は充電されず、主スイッチング素子 Q_2 がオンすると上記経路でコンデンサ C_3 に充電電流が流れ始めるが、この充電電流によってインダクタンス L_2 に蓄積されるエネルギーが、主スイッチング素子 Q_2 のオフ時にインダクタンス L_2 →コンデンサ C_3 →ダイオード D_1 →主スイッチング素子 Q_1 の寄生ダイオード→インダクタンス L_2 の経路で放出される。また、コンデンサ C_3 の充電電流のピーク値が主スイッチング素子 Q_2 のオン時間 t によって下式のように表される。

$$【0026】(V_i - V_{c3}) \times t / L_2$$

上式から明らかなように、コンデンサ C_3 の充電電圧が低い程主スイッチング素子 Q_2 に流れる電流値が大きくなる。さらにインダクタンス L_2 のエネルギー放出に要する時間も長くなるため、次に主スイッチング素子 Q_2 がオンした際には、インダクタンス L_2 がエネルギーを放出しきれずに主スイッチング素子 Q_1 の寄生ダイオードに電流が流れることになる。

【0027】このため、主スイッチング素子 Q_1 の寄生ダイオードの逆回復時間の間、図47(c)(d)におけるA点に示すように、主スイッチング素子 Q_1 、 Q_2 に瞬間的な短絡電流が発生してしまう。また、コンデンサ C_3 の両端電圧 V_{c3} が所定の値になるまで、インダクタンス L_2 のエネルギーが放出されない間に主スイッチング素子 Q_2 がオンすることになり、インダクタンス L_2 及びコンデンサ C_3 に流れる電流は、図47(b)に

示すように時間的に増大する直流電流となるので、主スイッチング素子 Q_1 、 Q_2 にはストレスが印加され続けることになる。そこで、上述の本従来例においては、電源投入直後のインバータ回路INVの停止期間中にコンデンサ C_3 を充電するようにして、主スイッチング素子 Q_1 、 Q_2 に過大なストレスが印加されるのを防止しているのである。

【0028】

【発明が解決しようとする課題】上記従来例1においては、インバータ回路INVへの供給電圧 V_{dc} が図48に示すように谷部が埋められた(部分平滑された)電圧となることから、負荷を放電ランプ L_a とした場合に正常点灯時の動作周波数で高い効率が得られるような最適設計を行なうと、インバータ回路INVの主スイッチング素子 Q_1 、 Q_2 の電流波形(ドレイン電流波形)が、図49に示すように電源電圧 V_{dc} の高い部分(山部)においては遅相的な電流波形となり問題はないが

(同図(b)参照)、電源電圧 V_{dc} の低い谷部においては電源電圧 V_{dc} が低下するために同相から進相に近い波形となり(同図(c)参照)、主スイッチング素子 Q_1 、 Q_2 に対するストレスが増加して発熱により破壊するという問題がある。一方、電源電圧 V_{dc} の谷部における主スイッチング素子 Q_1 、 Q_2 の電流波形を遅相波形にしようすると、電源電圧 V_{dc} の山部においてはより一層の遅相波形となってピーク値の高い電流波形となってしまうので、主スイッチング素子 Q_1 、 Q_2 を構成する電界効果トランジスタのASO(安全動作領域)を越えてしまったり、オン抵抗による発熱の増加や、共振回路における無効電流が非常に多くなって効率の悪いインバータ回路となってしまうという問題があるため、インバータ回路の設計が難しいという欠点を有している(第1の問題点)。

【0029】また、上述のように従来例4においては、直流成分カット用のコンデンサ C_3 に電荷が充電されないため、インバータ回路INVの発振開始直後の過電流は発生しないが、コンデンサ C_3 が充電されないことによって以下のような別の問題が生じる。すなわち、インバータ回路INVの発振直後のコンデンサ C_3 の充電電圧がゼロに等しく、その一方でインバータ回路INVの定常動作状態において主スイッチング素子 Q_1 、 Q_2 がデューティ比50%で発振している場合、コンデンサ C_3 の充電電圧はコンデンサ C_3 の両端電圧 V_{c3} のおおよそ半分の電圧となることから、コンデンサ C_3 の両端電圧 V_{c3} には大きな差が発生する。図50に示すように、インバータ回路INVが発振を開始すると、電源回路3よりトランスTの1次巻線→インダクタ L_2 →コンデンサ C_3 →主スイッチング素子 Q_1 の経路で同図(b)に示すような電流 I_1 が流れる。このとき、直流カット用のコンデンサ C_3 の充電電圧(両端電圧) V_{c3} はゼロに等しく、回路動作上はコン

デンサ C_1 が存在しないに等しいため、コンデンサ C_1 を定常状態の電圧に充電するための直流電流が流れる。よって、主スイッチング素子 Q_1 、 Q_2 の電流波形は図50(c)(d)に示すような波形となり、インバータ回路INV₁'の発振開始直後の数サイクルにおいては、主スイッチング素子 Q_1 の電流がゼロ以下でスイッチングすることになり、このとき主スイッチング素子 Q_1 の寄生ダイオードの逆回復時間の間に、同図(c)

(d)のA点に示すような瞬間的な短絡電流が発生してしまう。

【0030】このような瞬間的な短絡電流による主スイッチング素子 Q_1 、 Q_2 への過大なストレスの印加を回避するためには、インバータ回路INV₁'の発振開始直後の共振を鋭くすればよい。つまり、インバータ回路INV₁'の発振開始直後の共振を鋭くすることで上記電流 I_1 の振幅が増大し、電流 I_1 が正又は負のタイミングで主スイッチング素子 Q_1 、 Q_2 が動作することで上述の短絡電流の発生が防止できる。しかしながら、負荷を放電灯とした場合にインバータ回路INV₁'の発振開始直後の所定期間においては、共振を鈍くすることで放電灯のフィラメントに予熱電流を供給して充分な予熱を行った後で放電灯を始動することが一般的に行われている。したがって、インバータ回路INV₁'の発振開始直後に共振を鋭くすると放電灯のフィラメントを先行予熱することができず、いきなり高い電圧が印加されて放電灯が瞬時に点灯してしまうが、このように先行予熱を行わずにいきなり放電灯を始動させることは放電灯の寿命を短くしてしまうという問題がある(第2の問題点)。

【0031】さらに、上記従来例5においては、以下のような問題がある。入力電圧 V_i に対してコンデンサ C_1 の両端電圧 V_c が低い場合に、コンデンサ C_1 の充電期間におけるダイオード D_1 の電圧波形は、図46

(e)に示すような波形となり、ダイオード D_1 に印加される電圧の最大値が、上記谷埋電源(部分平滑電源)の最大電圧値 $V_{i_{max}}$ にはほぼ等しくなる。さらに、主スイッチング素子 Q_1 に印加される電圧の最大値も上記最大電圧値 $V_{i_{max}}$ に等しくなる。よって、スイッチング素子 Q_1 は、インバータ回路INV₁の動作中にオフであることから上記谷埋電源(部分平滑電源)の最大電圧値 $V_{i_{max}}$ が印加されることになり、インバータ回路INV₁の主スイッチング素子 Q_1 、 Q_2 と同程度の耐圧のスイッチング素子であることが必要となり、スイッチング素子 Q_1 の大型化を招くという問題がある(第3の問題点)。

【0032】請求項1乃至5の発明は上記第1の問題点の解決を目的とするものであり、軽負荷時における電源電圧の上昇を抑えることのできる電源装置を提供しようとするものである。また、請求項6乃至9の発明は上記第2の問題点の解決を目的とするものであり、インバー

タ回路の発振開始直後にスイッチング素子に印加されるストレスを低減できる電源装置を提供しようとするものである。

【0033】さらに、請求項10乃至14の発明は上記第3の問題点の解決を目的とするものであり、インバータ回路のスイッチング素子への印加ストレスを低減すると同時にそのストレスを低減する回路構成の簡略化が可能な電源装置を提供しようとするものである。

【0034】

10 【課題を解決するための手段】請求項1の発明は、上記目的を達成するために、交流電源を整流する整流器と、整流器の出力端間に接続される第1のコンデンサと、第1のコンデンサの両端に直列接続される第1及び第2の主スイッチング素子並びに何れか一方の主スイッチング素子と並列接続される共振回路を具備するインバータ回路と、第1及び第2の主スイッチング素子を高周波で交互にオン・オフする制御回路とを備え、上記共振回路は、共振用の第1のインダクタンスと、負荷に並列接続される共振用の第2のコンデンサと、直流カップリング用の第3のコンデンサと、第1のダイオードが並列接続された第4のコンデンサとを有するとともに第1のコンデンサと第1及び第2の主スイッチング素子の直列回路との間に第4のコンデンサと第1のダイオードの上記並列回路が接続されて成り、第1及び第2の主スイッチング素子の直列回路に第5のコンデンサ、第2のインダクタンス並びに第2のダイオードの直列回路と、第6のコンデンサとが並列接続され且つ第1及び第2の主スイッチング素子の接続点と第2のインダクタンス及び第2のダイオードの接続点を第3のダイオードにより接続して成る電源装置において、第2のダイオードと並列にスイッチング素子を設けるとともに、上記制御回路により負荷の状態に応じて上記スイッチング素子をオン・オフすることを特徴とし、通常時には上記スイッチング素子をオフすることでインバータ回路の電源電圧がいわゆる谷埋め(部分平滑)されて負荷電流波形の改善が図れるとともに、軽負荷時には上記スイッチング素子をオンすることでインバータ回路の電源電圧の上昇を防止することができる。

40 【0035】請求項2の発明は、上記目的を達成するために、整流器に接続される第1のコンデンサと、第1のコンデンサと並列に直列接続される第1及び第2の主スイッチング素子並びに何れか一方の主スイッチング素子と並列接続される共振回路を具備するインバータ回路と、第1及び第2の主スイッチング素子を高周波で交互にオン・オフする制御回路とを備え、上記共振回路は、共振用の第1のインダクタンスと、負荷に並列接続される共振用の第2のコンデンサと、直流カップリング用の第3のコンデンサと、第1のダイオードが並列接続された第4のコンデンサとを有するとともに第1のコンデンサと第1及び第2の主スイッチング素子の直列回路との

間に第4のコンデンサと第1のダイオードの上記並列回路が接続されて成り、第1及び第2の主スイッチング素子の直列回路に第5のコンデンサ、第2のインダクタンス並びに第2のダイオードの直列回路と、第6のコンデンサとが並列接続され且つ第1及び第2の主スイッチング素子の接続点と第2のインダクタンス及び第2のダイオードの接続点を第3のダイオードにより接続して成る電源装置において、第2のインダクタンスの両端に設けられる一対の切換端子と、第1の主スイッチング素子の高電位側に設けられる共通端子と、上記制御回路により制御されて上記共通端子を上記一対の切換端子に択一に切換接続する切換回路を備えたことを特徴とし、通常時には上記切換回路の共通端子を一方の切換端子に切り換えることでインバータ回路の電源電圧がいわゆる谷埋め（部分平滑）されて負荷電流波形の改善が図れるとともに、軽負荷時には上記切換回路の共通端子を他方の切換端子に切り換えることでインバータ回路の電源電圧の上昇を防止することができる。

【0036】請求項3の発明は、請求項1の発明において、上記制御回路によりオン・オフされて上記第4のコンデンサの両端間を短絡するスイッチング素子を備えたことを特徴とし、上記スイッチング素子をオンとして第4のコンデンサを短絡することにより、無負荷時のように最も負荷が軽くなる場合やその他の異常の場合などにもインバータ回路の電源電圧の上昇防止が図れる。

【0037】請求項4の発明は、請求項1の発明において、上記制御回路によりオン・オフされるスイッチング素子と第7のコンデンサの直列回路が第4のコンデンサに並列接続されて成ることを特徴とし、上記スイッチング素子のオン・オフによって第4のコンデンサに第7のコンデンサが選択的に接続されて第4のコンデンサの見かけ上の容量が可変されるため、負荷への電力供給量を絞る場合にもインバータ回路の電源電圧の上昇防止及び主スイッチング素子に対するストレス低減を図ることができる。

【0038】請求項5の発明は、請求項2の発明において、上記制御回路によりオン・オフされて上記第4のコンデンサの両端間を短絡する短絡用のスイッチング素子を備え、上記制御回路によりオン・オフされる切換用のスイッチング素子と第7のコンデンサの直列回路が第4のコンデンサに並列接続されて成ることを特徴とし、上記短絡用のスイッチング素子をオンとして第4のコンデンサを短絡することにより、無負荷時のように最も負荷が軽くなる場合やその他の異常の場合などにもインバータ回路の電源電圧の上昇防止が図れるとともに、上記切換用のスイッチング素子のオン・オフによって第4のコンデンサに第7のコンデンサが選択的に接続されて第4のコンデンサの見かけ上の容量が可変されるため、負荷への電力供給量を絞る場合にもインバータ回路の電源電圧の上昇防止及び主スイッチング素子に対するストレス

低減を図ることができる。

【0039】請求項6の発明は、上記目的を達成するために、交流電源を整流する整流器と、高周波でスイッチングされる1乃至複数の主スイッチング素子を具備するとともに1乃至複数の共振用のインダクタンス、共振用のコンデンサ、直流成分カット用のコンデンサ並びに負荷から構成される共振回路を有して上記整流器の出力を高周波出力に変換して負荷に供給するインバータ回路と、1乃至複数の部分平滑用のコンデンサを具備して上記整流器の出力を部分平滑する電源回路とを備えた電源装置において、上記共振回路を介して整流器の出力側に上記インバータ回路の高周波出力の一部を帰還する帰還手段と、交流電源電圧の絶対値が部分平滑用のコンデンサの両端電圧よりも低いときに上記インバータ回路の発振を開始させる制御手段とを備えたことを特徴とし、交流電源の電源投入時には制御手段によって交流電源電圧の絶対値が部分平滑用のコンデンサの両端電圧よりも低いときにインバータ回路の発振が開始され、そのため、直流成分カット用のコンデンサを定常状態に充電する過程においてインバータ回路の主スイッチング素子へ加わるストレスを低減することができる。

【0040】請求項7の発明は、請求項6の発明において、上記インバータ回路の発振開始前に、部分平滑用のコンデンサを充電する手段を備えたことを特徴とし、インバータ回路の発振開始前に予め部分平滑用のコンデンサを充電しておくことにより、インバータ回路の発振開始時に部分平滑用のコンデンサに流れる電流を減らすことができ、その結果、インバータ回路の主スイッチング素子に印加されるストレスを低減することができる。

【0041】請求項8の発明は、請求項7の発明において、上記インバータ回路の発振開始前に、上記共振回路を構成する直流成分カット用のコンデンサの両端電圧が部分平滑用のコンデンサの両端電圧よりも低い状態まで直流成分カット用のコンデンサを充電する手段を備えたことを特徴とし、インバータ回路の主スイッチング素子に印加されるストレスを低減することができる。

【0042】請求項9の発明は、請求項6～8の何れかの発明において、交流電源電圧のゼロクロスを検出する検出手段を備え、上記制御手段が、検出手段がゼロクロスを検出したときに上記インバータ回路の発振を開始させて成ることを特徴とし、交流電源電圧のゼロクロス点に近いところでは直流成分カット用のコンデンサの両端電圧が殆どゼロに近い場合、インバータ回路の主スイッチング素子に印加されるストレスを低減することができる。

【0043】請求項10の発明は、上記目的を達成するために、交流電源を整流する整流器と、高周波でオン・オフされる1乃至複数の主スイッチング素子を具備し直流出力を高周波交流出力に変換して負荷へ供給するインバータ回路と、1乃至複数のコンデンサ並びにインダク

タンスを有するとともに上記主スイッチング素子のオン・オフ動作によって上記コンデンサを充電し整流器の脈流出力を部分平滑した上記直流出力を上記インバータ回路に供給する部分平滑回路とを備えた電源装置において、上記部分平滑回路のコンデンサをインダクタンスを介して上記主スイッチング素子に直列接続するとともに、上記インバータ回路の動作開始前に上記コンデンサを充電する充電回路を上記インダクタンスと主スイッチング素子の直列回路に並列接続して成ることを特徴とし、充電回路によってインバータ回路の動作開始時に主スイッチング素子へ加わるストレスを低減できるとともに、インバータ回路の動作中に充電回路へ印加される電圧を低減させることができ、且つ充電回路に用いられる回路部品の耐圧を下げることで充電回路の小型化や簡略化が可能となる。

【0044】請求項 11 の発明は、請求項 10 の発明において、上記コンデンサを所定のレベル以上に充電した後は上記充電回路による充電を停止して成ることを特徴とし、充電回路における不要な電力消費をなくすことができる。請求項 12 の発明は、請求項 11 の発明において、上記充電回路が、上記コンデンサの充電経路を開閉する開閉手段を具備することを特徴とし、インバータ回路の動作中は開閉手段を開成することで充電回路による上記コンデンサの充電が行われず、充電電流による不要な電力消費をなくすことができる。

【0045】請求項 13 の発明は、請求項 12 の発明において、上記開閉手段が、インバータ回路の主スイッチング素子よりも先に動作を開始するとともに、上記主スイッチング素子のオン・オフ動作に同期してオン・オフ動作が繰り返されることを特徴とし、開閉手段の制御が容易になって回路の簡略化が図れる。請求項 14 の発明は、請求項 12 の発明において、上記開閉手段が、上記コンデンサの充電電圧レベルに応じてオン・オフ動作が繰り返されることを特徴とし、開閉手段の制御が容易になって回路の簡略化が図れる。

【0046】

【発明の実施の形態】以下、本発明を実施形態により詳細に説明する。

（実施形態 1）図 1 は本発明の第 1 の実施形態を示す概略回路図である。図 1 に示すように、本実施形態の基本構成は図 3 5 に示した従来例 1 と共通であるので、共通する部分については同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。

【0047】本実施形態は、従来例 1 においてチョッパ回路 CH₁ を構成しているダイオード D₁ の代わりに寄生ダイオード D_a を有する電界効果トランジスタから成るスイッチング素子 Q₁ を備えるとともに、インバータ回路 INV₁ の主スイッチング素子 Q₁、Q₂ を駆動制御する制御回路 CNT₁ によって上記スイッチング素子 Q₁ のオン・オフ制御を行うようにした点に特徴があ

る。なお、スイッチング素子 Q₁ として、電界効果トランジスタの代わりにダイオードが逆並列接続されたバイポーラトランジスタ等を用いてもよい。

【0048】次に、図 2～図 6 を参照して本実施形態の回路動作を説明する。図 5 は制御回路 CNT₁ の①～③端子から出力される各駆動信号を示すタイムチャートである。まず、電源投入時からごく短い期間 T₁ においては、制御回路 CNT₁ の①端子、②端子からは駆動信号が出力されずに主スイッチング素子 Q₁、Q₂ はオフとなり、③端子から H レベルの駆動信号が出力されてスイッチング素子 Q₂ がオンとなる。これにより、図 6 に示すように整流器 DB からコンデンサ C₁ → インダクタンス L₁ → スwitching 素子 Q₂ → インピーダンス素子 Z の経路で充電電流 i₁ が流れてコンデンサ C₁ が予備充電される。すなわち、チョッパ回路 CH₁ を構成するコンデンサ C₁ は、電源投入時にインバータ回路 INV₁ が起動する前に充電される必要があり、そのために上記のような予備充電期間 T₁ を設けているものである。なお、インピーダンス素子 Z は、充電電流 i₁ を低減してスイッチング素子 Q₂ を保護するため、挿入することが望ましい。

【0049】上記コンデンサ C₁ の予備充電完了後、制御回路 CNT₁ は③端子を L レベルとしてスイッチング素子 Q₂ をオフする。ここで、スイッチング素子 Q₂ がオフの場合には、コンデンサ C₁ の低電位側と、インダクタンス L₁ とダイオード D₁ の接続点とがスイッチング素子 Q₁ の寄生ダイオード D_a によって接続されることとなり、図 2 に示すような従来例 1 と全く同じ回路構成となる。

【0050】そして、制御回路 CNT₁ は①端子及び②端子から駆動信号を出力して主スイッチング素子 Q₁、Q₂ を高周波で交互にオン・オフする。このときの駆動信号の周波数 f₁ は、負荷である放電灯 L_a を含む共振回路 RE₁ の共振周波数よりも十分に高い周波数に設定し、放電灯 L_a を始動させずに放電灯 L_a のフィラメントを予熱するようにしている。このように放電灯 L_a のフィラメントを予熱する先行予熱期間 T₁（図 5 参照）においては、放電灯 L_a が始動していないことから軽負荷となるのであるが、従来例 1 に説明したようにチョッパ回路 CH₁ を備えることで、コンデンサ C₁ の充電電圧上昇によるインバータ回路 INV₁ への供給電圧 V_{in} の昇圧を防止することができる。さらに、先行予熱期間 T₁ における主スイッチング素子 Q₁、Q₂ の動作周波数 f₁ を共振回路 RE₁ の共振周波数よりも高く設定しているので、主スイッチング素子 Q₁、Q₂ のドレイン電流波形が、電源電圧 V_{in} の低い谷部において進相に近い波形（図 4 9（c）参照）とはならず、遅相的な波形（図 4 9（b）参照）となって主スイッチング素子 Q₁、Q₂ に対するストレスを低減することができる。

【0051】一方、予熱後に放電灯 L_a が始動してから

は、制御回路 CNT₁ が①端子及び②端子からの駆動信号の周波数を低くして、共振回路 RE₁ の共振周波数に近づけた動作周波数 f₁ にて主スイッチング素子 Q₁、Q₂ をオン・オフする。同時に、このような定常点灯期間 T₁ においては、制御回路 CNT₁ が③端子を H レベルとしてスイッチング素子 Q₃ をオンすることで、図 3 に示すような回路構成となる。すなわち、ダイオード D₁ のアノード並びにインダクタンス L₁ の低電位側が整流器 DB の低電位側出力端（グラウンドライン）に接続されることでチョップ回路 CH₁ が構成されなくなり、その結果、インダクタンス L₁ がコンデンサ C₁ の高周波電流カット用チョークとなってインバータ回路 INV₁ の共振再生電流がコンデンサ C₁ を介して流れ、チョップ回路 CH₁ を構成していたインダクタンス L₁ 及びコンデンサ C₁ がコンデンサ C₁ のリップル電流を低減するような回路構成となる。

【0052】図 3 に示す回路構成は特開平 5 - 3 8 1 6 1 号公報に記載されているものとほぼ共通しており、上記のようにインダクタンス L₁ 及びコンデンサ C₁ にてコンデンサ C₁ のリップル電流を低減できるため、インバータ回路 INV₁ の電源電圧 V_{a1} も図 4 に示すようなリップルの少ない電圧とすることができ、交流電源 AC の電源電圧の山部、谷部における電源電圧 V_{a1} の低下を抑えることができる。さらに、主スイッチング素子 Q₁、Q₂ の動作周波数を高くすることで共振回路 RE₁ のコンデンサ C₁ 両端に生じる共振電圧振幅を増大させ、電源電圧 V_{a1} の低い谷部においても入力電流の休止期間を生じさせず、入力力率が高く且つ入力電流の高調波成分の低減も図れる。

【0053】本実施形態によれば、負荷を放電灯 L_a とした場合に、制御回路 CNT₁ によってスイッチング素子 Q₃ をオン・オフすることにより、インバータ回路 INV₁ の動作モード（放電灯 L_a を予熱する先行予熱モードと、放電灯 L_a を点灯させる点灯モード）に応じた回路構成を選択することができる。すなわち、先行予熱モードにおいては軽負荷となることから、スイッチング素子 Q₃ をオフとして図 2 に示すような従来例 1 と共通回路構成を選択して、コンデンサ C₁ の充電電圧上昇によるインバータ回路 INV₁ への供給電圧 V_{a1} の昇圧を防止するとともに、点灯モードにおいてはスイッチング素子 Q₃ をオンとして図 3 に示すような回路構成を選択して、主スイッチング素子 Q₁、Q₂ のドレイン電流波形が電源電圧 V_{a1} の低い谷部において進相に近い波形になることを回避して遅相的な波形とし、主スイッチング素子 Q₁、Q₂ に対するストレスを低減することができる。その結果、選択される各回路構成において各モードに応じた最適な設計を行うことができるという利点もある。

【0054】（実施形態 2）図 7 は本発明の第 2 の実施形態を示す概略回路図である。本実施形態の基本構成も

図 3 5 に示した従来例 1 とほぼ共通であり、共通する部分については同一の符号を付して説明は省略する。交流電源 AC の両端に高周波電流カット用のチョークコイル L₁ を介して疑似電源となるコンデンサ C₁ が接続され、コンデンサ C₁ と並列にダイオードブリッジから成る整流器 DB が接続してある。以下、チョークコイル L₁、コンデンサ C₁、整流器 DB から成る回路を電源回路 PS と呼ぶこととする。

【0055】本実施形態における共振回路 RE₁ は、共振用のインダクタンス L₁ とダイオード D₁（並列に歪改善用のコンデンサ C₁ が接続されている）のカソードとの間に共振用のコンデンサ C₂ を接続するとともに、コンデンサ C₂ と並列にトランス T₁ の 1 次側を接続し、且つトランス T₁ の 2 次側に予熱電流制限用インピーダンス素子であるコンデンサ C_a、C_b を介して放電灯 L_a の各フィラメントが直列に接続して構成されている。

【0056】インバータ回路 INV₁ を構成する高電位側の主スイッチング素子 Q₁ のドレインに共通端子 s、整流器 DB の高電位側の出力端に切換端子 p、インダクタンス L₁ とコンデンサ C₁ の接続点に切換端子 q をそれぞれ設けるとともに、共通端子 s に 2 つの切換端子 p、q を択一的に切換接続するスイッチ回路 SW が設けてある。このスイッチ回路 SW は、制御回路 CNT₁ の③端子から出力される制御信号により駆動されるリレー回路として構成すればよい。また、主スイッチング素子 Q₁、Q₂ の接続点と整流器 DB の高電位側の出力端の間には、インバータ回路 INV₁ の共振電流帰還用のダイオード D₁ が接続してある。

【0057】制御回路 CNT₁ は①端子及び②端子から駆動信号を出力して主スイッチング素子 Q₁、Q₂ を高周波で交互にオン・オフする。その結果、共振回路 RE₁ には高周波の共振電流が流れるから、トランス T₁ を介して放電灯 L_a に高周波電力が供給される。同時に、コンデンサ C₁ の両端に高周波電圧を生じさせ、整流器 DB を介して疑似電源となるコンデンサ C₁ に高周波電流を流すことにより、交流電源 AC の電源電圧周期の全区間において入力電流を流すことができ、入力力率の改善が図れる。

【0058】本実施形態の回路動作を図 8 ～図 1 3 を参照してさらに詳しく説明する。まず、制御回路 CNT₁ によりスイッチ回路 SW を制御して共通端子 s を切換端子 q に接続した場合について説明する。この場合には、図 7 に示す回路は図 8 に示すような回路構成に切り換えられる。その結果、インダクタンス L₁ が主スイッチング素子 Q₁ のドレインと共振電流帰還用のダイオード D₁ のカソードとの間に挿入され、インダクタンス L₁、コンデンサ C₁、ダイオード D₁、D₂ 並びに低電位側の主スイッチング素子 Q₂ によってチョップ回路 CH₂ が構成される。このチョップ回路 CH₂ は以下のような

動作を行う。

【0059】制御回路CNT₁からの駆動信号により主スイッチング素子Q₁がオンすると、インバータ回路INV₁の共振電流i_rは図9に示すように、共振回路RE₁→主スイッチング素子Q₁→共振回路RE₁の経路で流れ、さらに主スイッチング素子Q₁がオフしたときの回生電流i_rは同じく図9に示すように共振回路RE₁→ダイオードD₁→コンデンサC₁→共振回路RE₁の経路で流れる。この間、チョップ回路CH₁には主スイッチング素子Q₁を介してチョップ電流i_cが流れる。次に主スイッチング素子Q₁がオフ、主スイッチング素子Q₂がオンすると、図10に示すようにコンデンサC₁を電源として共振電流i_rが主スイッチング素子Q₂→共振回路RE₂→ダイオードD₂→コンデンサC₂の経路で流れ、主スイッチング素子Q₂がオフした瞬間の回生電流i_rは主スイッチング素子Q₂の寄生ダイオード（図示せず）を介して流れる。また、チョップ回路CH₁においては、インダクタンスL₁に蓄積されたエネルギーの放出により、インダクタンスL₁→コンデンサC₁→ダイオードD₁→ダイオードD₂→インダクタンスL₂の経路で電流i_cが流れ、コンデンサC₁が充電される。

【0060】ここで、本実施形態のチョップ回路CH₁は、インバータ回路INV₁の電源となるコンデンサC₁が交流電源AC（電源回路PS）に対してインダクタンスL₁を介して接続される降圧チョップ回路構成となり、図11に示すようにコンデンサC₁の両端電圧V_cが電源回路PSから出力される脈流電圧V_pよりも低い電圧となる。このため、主スイッチング素子Q₁、Q₂には交流電源ACの電源電圧よりも低い電圧が印加されることになり、主スイッチング素子Q₁、Q₂のストレス低減並びに装置の小型化が図れる。

【0061】一方、制御回路CNT₂によりスイッチ回路SWを制御して共通端子sを他方の切換端子pに接続した場合には、図7に示す回路は図2に示した従来例1と同一の回路構成に切り換えられる。ここで、実施形態1の図3に示した回路構成においては、インバータ回路INV₁の電源電圧V_dを供給するコンデンサC₁が整流器DBに対してインバータ回路INV₁よりも後段に設けてあることから、図12に示すように入力電流I_{in}の休止期間が生じないのであるが、このように交流電源ACの一周期の全区間において正弦波状の入力電流I_{in}を流そうとすると、負荷である放電灯Laに流れるランプ電流I_lが入力電流I_{in}の変動に応じてその谷部で大きく、山部で小さくなるように変動し、放電灯Laの発光効率が低下する等の不具合が生じてしまう。それに対して図2に示すような回路構成を採用することで、インバータ回路INV₁の電源電圧V_dが整流器DBの脈流出力電圧の谷部で低く、山部で高くなるような電圧波形となり、その結果、図13に示すようにランプ電流I_l、

を入力電流I_{in}の谷部と山部の両方でピークを持つようなリップルの低減された波形とすることができる。

【0062】よって本実施形態によれば、放電灯Laを負荷とする場合、点灯時（点灯モード）においては制御回路CNT₂によりスイッチ回路SWを制御して共通端子sを他方の切換端子pに接続して放電灯Laの効率向上が図れ、先行予熱時（先行予熱モード）や始動時（始動モード）あるいは寿命末期等の軽負荷時には制御回路CNT₂によりスイッチ回路SWを制御して共通端子sを他方の切換端子qに接続して降圧チョップ回路CH₂を構成することでインバータ回路INV₂への供給電圧を低減し、主スイッチング素子Q₁、Q₂のストレス及び耐圧の低減が図れるという利点がある。

【0063】（実施形態3）図14は本発明の第3の実施形態を示す概略回路図である。本実施形態の基本構成は実施形態1及び実施形態2とほぼ共通であり、共通する部分については同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。

【0064】本実施形態は実施形態1と共通のチョップ回路CH₁と、実施形態2における共振回路RE₂のダイオードD₂の代わりにFETから成るスイッチング素子Q₃をコンデンサC₁に並列接続した共振回路RE₂を有するインバータ回路INV₂とを備え、制御回路CNT₂の④端子から出力する制御信号によりスイッチング素子Q₃のオン・オフを制御する点に特徴がある。

【0065】制御回路CNT₂によりスイッチング素子Q₁、Q₂がともにオンされた場合、本実施形態は等価的に図15に示すような回路構成となる。実施形態1で説明したように、スイッチング素子Q₁がオンされると、ダイオードD₁のアノード並びにインダクタンスL₁の低電位側が整流器DBの低電位側出力端（グラウンドライン）に接続されるためにチョップ回路CH₁が構成されなくなり、その結果、インダクタンスL₁がコンデンサC₁の高周波電流カット用チョークとなってインバータ回路INV₂の共振回生電流がコンデンサC₁を介して流れ、インダクタンスL₂及びコンデンサC₂によりコンデンサC₁のリップル電流が低減される。一方、スイッチング素子Q₂がオンされるとコンデンサC₁の両端がスイッチング素子Q₂によりバイパスされるため、コンデンサC₁による入力電流歪の改善効果は得られない。しかしながら、この回路構成にあっては、整流器DBの脈流出力電圧が図16に示すようにコンデンサC₂で平滑されてインバータ回路INV₂に供給されることから、インバータ回路INV₂の電源電圧V_dが交流電源ACの電源電圧よりも大きく上昇することがない。よって、主スイッチング素子Q₁、Q₂の耐圧は交流電源ACの電源電圧程度で済むという利点がある。

【0066】また、制御回路CNT₂によりスイッチング素子Q₃がオフ、スイッチング素子Q₂がオンされた場合には等価的に図17に示すような回路構成となって

チョップ回路 CH_1 が構成される。このため、インバータ回路 INV_1 の電源電圧（コンデンサ C_1 の両端電圧） V_{a1} が図 1 8 に示すようにチョップ回路 CH_1 によって谷埋め（部分平滑）された波形となり、インバータ回路 INV_1 の全ての動作モード（先行予熱モードや定常点灯モード等）において上記電源電圧 V_{a1} の昇圧を防止することができる。さらに、チョップ回路 CH_1 が形成されることで図 1 5 に示した回路構成に比較して入力電流歪を多少改善でき、効率を高くできる。但し、負荷である放電灯 L_a に流れるランプ電流 I_{La} が電源電圧 V_{a1} の谷部で大きく山部で小さくなるように変動し、放電灯 L_a の発光効率が低下することは否めない。なお、スイッチング素子 Q_1 がオフの場合には、共振回路 RE_1 の構成はスイッチング素子 Q_1 の寄生ダイオード D_x によって実施形態 2 の共振回路 RE_2 の構成と同一になるので、コンデンサ C_1 の両端に生じる共振電圧により、電源電圧 V_{a1} の低い谷部においても入力電流の休止期間を生じさせず、入力力率が高く且つ入力電流の高調波成分の低減が図れる。

【0067】本実施形態によれば、負荷を放電灯 L_a とした場合に、先行予熱モードと点灯モードとにおいてスイッチング素子 Q_1 のオン・オフにより回路構成を切り換えることにより、インバータ回路 INV_1 の電源電圧 V_{a1} の昇圧防止と、主スイッチング素子 Q_1 、 Q_2 に対するストレス低減とが図れるとともに、スイッチング素子 Q_1 をオンとしてコンデンサ C_1 を短絡することにより、無負荷時のように最も負荷が軽くなる場合やその他の異常の場合などにも電源電圧 V_{a1} の昇圧防止が図れ、種々の動作モードに対応可能となるという利点がある。

【0068】（実施形態 4）図 1 9 は本発明の第 4 の実施形態を示す概略回路図である。本実施形態の基本構成は実施形態 1 及び実施形態 2 とほぼ共通であり、共通する部分については同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。

【0069】本実施形態は実施形態 1 と共通のチョップ回路 CH_1 と、実施形態 2 における共振回路 RE_2 のダイオード D_1 及びコンデンサ C_1 と並列にコンデンサ C_2 と FET から成るスイッチング素子 Q_3 の直列回路を接続した共振回路 RE_1 を有するインバータ回路 INV_1 とを備え、制御回路 CNT_1 の⑤端子から出力する制御信号によりスイッチング素子 Q_3 のオン・オフを制御する点に特徴がある。すなわち、実施形態 1 において負荷を放電灯 L_a とした場合に、制御回路 CNT_1 により主スイッチング素子 Q_1 、 Q_2 の駆動周波数を高くし放電灯 L_a の光出力を低下させて調光点灯させると（調光点灯モード）、歪改善用のコンデンサ C_2 の充電期間が定常点灯モードのときよりも短くなるため、交流電源 AC の電源電圧 V_{a1} の谷部ではコンデンサ C_2 が十分に充電されずに図 2 0 (a) に示すように入力電流波形に休止期間が生じてしまう。そこで、本実施形態はかかる不

具合を解消するために、コンデンサ C_2 の見かけ上の容量を可変する手段（コンデンサ C_2 とスイッチング素子 Q_3 ）を設けたものである。よって、上記のような調光点灯モードにおいて制御回路 CNT_1 の⑤端子を H レベルとしてスイッチング素子 Q_3 をオンすれば、コンデンサ C_2 がコンデンサ C_1 と並列接続されてコンデンサ C_1 の見かけ上の容量が、容量 C_1 とコンデンサ C_2 の容量 C_2 との合成容量となって大きくなるから、図 2 0 (b) に示すように休止期間が生じずに電源電圧 V_{a1} の略全区間において入力電流 I_{La} を流すことができる。

【0070】一方、調光点灯モードにおいては主スイッチング素子 Q_1 、 Q_2 の駆動周波数を高くして放電灯 L_a への供給電力を減らすため、定常点灯モードよりも軽負荷になり、コンデンサ C_1 （コンデンサ C_1 とコンデンサ C_2 の並列回路）の両端電圧が上昇するおそれがある。しかしながら、調光点灯モードにおいて制御回路 CNT_1 にてスイッチング素子 Q_3 をオフにすれば、チョップ回路 CH_1 が形成され、インバータ回路 INV_1 に供給される電源電圧 V_{a1} が谷埋め（部分平滑）されるので、実施形態 1 で説明したように電源電圧 V_{a1} の昇圧を防止できるとともに、調光点灯モードにおいては主スイッチング素子 Q_1 、 Q_2 の駆動周波数を共振回路 RE_1 の共振周波数よりも高く設定していることから、主スイッチング素子 Q_1 、 Q_2 のドレイン電流波形が電源電圧 V_{a1} の低い谷部において進相に近い波形とはならず、遅相的な波形となって主スイッチング素子 Q_1 、 Q_2 に対するストレスを低減することができる。

【0071】本実施形態によれば、実施形態 1 において負荷である放電灯 L_a を調光点灯する場合にも、インバータ回路 INV_1 の電源電圧 V_{a1} の上昇防止及び主スイッチング素子 Q_1 、 Q_2 に対するストレス低減を図ることができる。

（実施形態 5）図 2 1 は本発明の第 5 の実施形態を示す概略回路図である。本実施形態の基本構成は実施形態 2 とほぼ共通であり、共通する部分については同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。

【0072】本実施形態は、実施形態 2 における共振回路 RE_2 のダイオード D_1 の代わりに実施形態 3 で説明したスイッチング素子 Q_4 並びに実施形態 4 で説明したコンデンサ C_2 とスイッチング素子 Q_3 の直列回路をコンデンサ C_1 に並列接続して成る共振回路 RE_1 を備え、制御回路 CNT_1 の⑤端子及び⑥端子から出力する制御信号により各スイッチング素子 Q_1 、 Q_2 のオン・オフを制御する点に特徴がある。

【0073】すなわち、負荷を放電灯 L_a とした場合に、実施形態 4 で説明したように調光点灯モードにおいて制御回路 CNT_1 の⑤端子を H レベルとしてスイッチング素子 Q_3 をオンすれば、コンデンサ C_2 がコンデンサ C_1 と並列接続されてコンデンサ C_1 の見かけ上の容

量が大きくなるから、休止期間が生じずに電源電圧 $V_{A.C.}$ の略全区間において入力電流 $I_{i.s.}$ を流すことができる。さらに実施形態 3 で説明したように、スイッチング素子 Q_1 をオンとしてコンデンサ C_1 並びにコンデンサ C_2 とスイッチング素子 Q_2 の直列回路を短絡することにより、無負荷時のように最も負荷が軽くなる場合やその他の異常の場合などにも電源電圧 $V_{A.C.}$ の昇圧防止が図れる。しかも、実施形態 2 で説明したように点灯時（点灯モード）においては制御回路 CNT₁ によりスイッチ回路 SW を制御して共通端子 s を他方の切換端子 p に接続して放電灯 La の効率向上が図れ、先行予熱時（先行予熱モード）や始動時（始動モード）あるいは寿命末期等の軽負荷時には制御回路 CNT₁ によりスイッチ回路 SW を制御して共通端子 s を他方の切換端子 q に接続して降圧チョッパ回路 CH₁ を構成することでインバータ回路 IN_V への供給電圧を低減してより深い調光が可能となり、主スイッチング素子 Q_1 、 Q_2 のストレス及び耐圧の低減が図れるという利点がある。

【0074】（実施形態 6）図 22 は本発明の第 6 の実施形態を示す概略回路図である。図 22 に示すように、本実施形態の基本構成は図 39 に示した従来例 3 と共通であるので、共通する部分については同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。

【0075】本実施形態は、従来例 3 の構成において、交流電源 AC の電源電圧 $V_{A.C.}$ のゼロクロス点を検出し、ゼロクロス点付近でインバータ回路 IN_V の発振動作を開始させるように制御回路 CNT₁ に起動信号を出力する起動回路 2 を備えた点に特徴がある。なお、それ以外にはダイオード D₁ のアノードと直流成分カット用のコンデンサ C_3 との間にダイオード D₁₁ を接続するとともに、ダイオード D₁ のカソードからインダクタンス L_1 とコンデンサ C_2 の直列回路と並列にダイオード D₁₁ を接続してある点が従来例 3 の構成と異なる。

【0076】従来例 3 のところで説明したように、インバータ回路 IN_V の共振系は交流電源電圧 $V_{A.C.}$ の大きさに応じて変化する。すなわち交流電源電圧 $V_{A.C.}$ の山部近傍では、共振系はインダクタンス L_1 、コンデンサ C_2 、トランス T₁ の 1 次巻線 n_1 、放電灯 La から成り、交流電源電圧 $V_{A.C.}$ の谷部近傍では、共振系はインダクタンス L_1 、コンデンサ C_2 、トランス T₁ の 1 次巻線 n_1 、放電灯 La 並びにコンデンサ C_3 から成っている。ここで、インバータ回路 IN_V の定常動作時（例えば、負荷回路 3 の放電灯 La を全点灯させる時）におけるコンデンサ C_1 の両端電圧 V_{c1} 及びコンデンサ C_2 の両端電圧 V_{c2} の波形図を図 23 に示し、この図を参照しながら本実施形態の回路動作について説明する。なお、同図（a）はコンデンサ C_1 の両端電圧 V_{c1} の波形、（b）はコンデンサ C_2 の両端電圧 V_{c2} の波形、（c）はコンデンサ C_3 の両端電圧 V_{c3} の波形を

それぞれ示している。

【0077】まず、交流電源電圧 $V_{A.C.}$ の山部（電圧 V_{c1} のピーク近傍）においては、インバータ回路 IN_V の動作は以下になる。主スイッチング素子 Q_1 がオフ、 Q_2 がオンのときには交流電源 AC から整流器 DB → コンデンサ C_2 及びトランス T₁ の 1 次巻線 n_1 → インダクタンス L_1 → コンデンサ C_1 → 主スイッチング素子 Q_2 → 整流器 DB → 交流電源 AC の経路で、主スイッチング素子 Q_1 がオン、 Q_2 がオフのときにはコンデンサ C_2 を電源としてインダクタンス L_1 → コンデンサ C_1 及びトランス T₁ の 1 次巻線 n_1 → ダイオード D₁₁ → 主スイッチング素子 Q_1 → ダイオード D₁ → コンデンサ C_3 の経路で各々共振電流が流れる。

【0078】一方、交流電源電圧 $V_{A.C.}$ の谷部（電圧 V_{c1} の谷埋部分）においては、谷埋電源回路 1 のコンデンサ C_3 を電源として、主スイッチング素子 Q_1 がオフ、 Q_2 がオンのときにコンデンサ C_3 → インダクタンス L_1 → ダイオード D₁₁ → コンデンサ C_2 → コンデンサ C_1 及びトランス T₁ の 1 次巻線 n_1 → インダクタンス L_1 → コンデンサ C_2 → 主スイッチング素子 Q_2 → コンデンサ C_3 の経路で、主スイッチング素子 Q_1 がオン、 Q_2 がオフのときにコンデンサ C_3 を電源として主スイッチング素子 Q_1 → ダイオード D₁₁ → コンデンサ C_2 → インダクタンス L_1 → コンデンサ C_1 及びトランス T₁ の 1 次巻線 n_1 → コンデンサ C_2 の経路で各々共振電流が流れる。このように交流電源電圧 $V_{A.C.}$ の山部近傍においては、インバータ回路 IN_V の共振電流が流れる経路にコンデンサ C_3 が含まれないが、谷部近傍においては上記経路にコンデンサ C_3 が含まれ、言い換えれば、交流電源電圧 $V_{A.C.}$ の谷部近傍の共振系にコンデンサ C_3 が含まれることになる。

【0079】ここで、コンデンサ C_3 の容量は、直流成分カット用のコンデンサ C_3 の容量よりも充分小さい値に設定してある（ $C_3 \gg C_4$ ）。そのため、コンデンサ C_3 の両端電圧 V_{c3} は、図 23（b）に示すような交流電源電圧 $V_{A.C.}$ の谷部において高い振幅を有するとともに直流成分が印加された波形となる。それに対してコンデンサ C_2 の両端電圧 V_{c2} は、交流電源電圧 $V_{A.C.}$ の谷部においてコンデンサ C_1 の両端電圧 V_{c1} に直流成分が印加されることにより、図 23（c）に示すように交流電源電圧 $V_{A.C.}$ の谷部において徐々に電圧値が低下するとともに交流電源電圧 $V_{A.C.}$ のゼロクロス点において略ゼロとなるような波形となる。これは、容量値の小さい方のコンデンサ C_3 が上記直流成分を負担することによって生じるものである。

【0080】以上のことから、交流電源電圧 $V_{A.C.}$ のゼロクロス点においては、直流成分カット用のコンデンサ C_3 の両端電圧 V_{c3} が略ゼロとなり、コンデンサ C_3 はインバータ回路 IN_V の動作に影響を与えることがないことになる。つまり、交流電源電圧 $V_{A.C.}$ のゼロクロス

点でインバータ回路 1 NV₁ の発振動作を開始すれば、従来例 3 の問題点、すなわちコンデンサ C₁ を定常状態に充電する過程における主スイッチング素子 Q₁、Q₂ へのストレス印加を回避することができるのである。

【0081】そこで、本実施形態では交流電源 AC の電源電圧 V_{ac} のゼロクロス点を検出し、ゼロクロス点付近でインバータ回路 1 NV₁ の発振動作を開始させるように制御回路 CNT₁ に起動信号を出力する起動回路 2 を備え、起動回路 2 からの起動信号を受けたときに制御回路 CNT₁ がインバータ回路 1 NV₁ の発振動作を開始させるようにしている。

【0082】図 24 は起動回路 2 の具体回路構成の一例を示した本実施形態の全体構成図である。4 は起動回路 2 並びに制御回路 CNT₁ の動作電源を供給する制御電源回路であって、整流器 DB の脈流出力電圧を抵抗 R₁ を介してツェナーダイオード ZD₁ で定電圧化し且つ平滑コンデンサ C₁₁ で平滑して直流の動作電源を得ている。

【0083】起動回路 2 は、交流電源電圧 V_{ac} を全波整流する整流器 DB₂ と、整流器 DB₂ の脈流出力電圧を分圧する分圧抵抗 R₂、R₃ と、制御電源回路 4 の直流出力電圧を分圧する分圧抵抗 R₄、R₅ と、これらの分圧された電圧信号を比較するオープンコレクタタイプのコンパレータ CP₁ と、制御電源回路 4 の出力端間に直列接続された抵抗 R₇、コンデンサ C₁₂ の時定数回路と、制御電源回路 4 の直流出力電圧を分圧する分圧抵抗 R₆、R₈ と、コンデンサ C₁₂ の両端に生じる電圧信号と分圧抵抗 R₂、R₃ で分圧された電圧信号とを比較するコンパレータ CP₂ と、コンパレータ CP₂ の出力端とグラウンドラインの間に接続されて制御回路 CNT₁ によってオン・オフされるスイッチング素子 Q₄ とを備え、2 つのコンパレータ CP₁、CP₂ からの出力信号を制御回路 CNT₁ に入力するように構成されている。なお、コンパレータ CP₁ の出力端は抵抗 R₉ を介して制御電源回路 4 の高電位側出力端に接続してある。

【0084】分圧抵抗 R₂、R₃ で分圧された電圧信号は、整流器 DB₂ の脈流出力電圧に比例した信号となり、コンパレータ CP₁ の反転端子に入力される。また、分圧抵抗 R₄、R₅ で分圧された電圧信号は、制御電源回路 4 の直流出力電圧を分圧した略一定の電圧信号であって、コンパレータ CP₁ の非反転端子に入力されている。したがって、コンパレータ CP₁ は、交流電源電圧 V_{ac} を全波整流した整流器 DB₂ の脈流出力電圧に比例する電圧信号（検出信号）を、制御電源回路 4 の直流出力電圧を分圧した略一定の基準信号と比較し、検出信号レベルが基準信号レベルよりも大きい場合に L レベル、小さい場合に H レベルの信号を出力する。よって、交流電源電圧 V_{ac} のゼロクロス付近でコンパレータ CP₁ の出力が反転するように各分圧抵抗 R₂、R₃ の抵抗値を設定することにより、交流電源電圧 V_{ac} のゼロクロ

ス点を検出することができる。

【0085】一方、コンパレータ CP₂ の反転端子には分圧抵抗 R₆、R₈ で分圧された電圧信号（基準信号）が入力され、非反転端子には時定数回路を構成するコンデンサ C₁₂ の両端に生じる電圧信号（遅延信号）が入力されており、遅延信号レベルが基準信号レベルよりも大きい場合に H レベル、小さい場合に L レベルの信号がコンパレータ CP₂ の出力端から出力される。つまり、交流電源 AC の電源投入直後から制御電源回路 4 の平滑コンデンサ C₁₁ が充電され始め、しかもコンパレータ CP₂ の非反転端子に入力される信号は抵抗 R₇ とコンデンサ C₁₂ の時定数回路によって遅延されることから、コンパレータ CP₂ の出力が電源投入後から暫くの間は L レベルに保持され、これによりコンパレータ CP₁ の出力に関係なく起動回路 2 からの出力信号が L レベルとなる。ところが、整流器 DB の脈流出力電圧がゼロクロス点に近づいてくると、コンパレータ CP₂ の非反転端子に入力される遅延信号が分圧抵抗 R₆、R₈ で分圧された基準信号より大きくなるので、コンパレータ CP₂ の出力は L レベルから H レベルに切り換わる。そして、整流器 DB の脈流出力電圧がゼロクロス点に達すると、コンパレータ CP₁ の出力が L レベルから H レベルに切り換わり、このときにはコンパレータ CP₂ の出力端が H レベルであるから、起動回路 2 の出力信号も H レベルとなる。すなわち、起動回路 2 は交流電源 AC の電源投入直後において交流電源電圧 V_{ac} のゼロクロス付近でのみ H レベルの信号（起動信号）を制御回路 CNT₁ に出力する。

【0086】一方、制御回路 CNT₁ は起動回路 2 から H レベルの信号（起動信号）をトリガ信号としてインバータ回路 1 NV₁ への制御信号（主スイッチング素子 Q₁、Q₂ をオン・オフする駆動信号）の出力を開始するとともに、起動回路 2 のスイッチング素子 Q₄ をオンとする信号を出力して、起動回路 2 からの起動信号の入力を禁止する。ここで、電源投入からインバータ回路 1 NV₁ が発振を開始するまでの時間は、起動回路 2 を構成する上記時定数回路の時定数（抵抗 R₇ の抵抗値とコンデンサ C₁₂ の容量値とで決まる値）によって決定されるので、時定数を変えることで制御可能である。なお、インバータ回路 1 NV₁ の発振開始後の動作については既に説明しているので、ここでは省略する。

【0087】本実施形態によれば、交流電源 AC の電源投入直後において交流電源電圧 V_{ac} のゼロクロス点でのみ起動信号を出力する起動回路 2 を設け、インバータ回路 1 NV₁ の制御回路 CNT₁ が起動回路 2 からの起動信号をトリガ信号としてインバータ回路 1 NV₁ の発振を開始させるようにしたため、インバータ回路 1 NV₁ の発振を交流電源電圧 V_{ac} のゼロクロス点で開始させることができ、その結果、インバータ回路 1 NV₁ の直流カット用のコンデンサ C₃ を充電する必要がなく、コン

デンサ C_1 の充電過程において主スイッチング素子 Q_1 、 Q_2 に印加されるストレスを低減することができる。

【0088】（実施形態7）図25は本発明の第7の実施形態を示す概略回路図である。図25に示すように本実施形態の基本構成は実施形態6と共通であり、共通する部分には同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。本実施形態が実施形態6と異なる点は、ダイオードブリッジから成る整流器DBの脈流出力端間にコンデンサ C_{13} を接続するとともに、コンデンサ C_{13} の高電位側の一端とインバータ回路INV₁との間に、アノードを整流器DB側にしてダイオード D_{12} を挿入し、起動回路2の検出信号をコンデンサ C_{13} とダイオード D_{12} のアノードとの接続点から採るようにした点にある。ここで、コンデンサ C_{13} の容量値は、電源回路1を構成するコンデンサ C_1 の容量値よりも十分に小さく設定されているため、起動回路2に inputs される検出信号へのコンデンサ C_{13} の影響は殆ど無く、検出電圧は実施形態6と同様に交流電源電圧 V_{ac} を全波整流した脈流電圧となる。よって、実施形態6と同様に交流電源ACの電源投入時には交流電源電圧 V_{ac} のゼロクロス点でインバータ回路INV₁の発振が開始され、主スイッチング素子 Q_1 、 Q_2 に印加されるストレスを低減することができる。

【0089】一方、本実施形態の特徴であるコンデンサ C_{13} とダイオード D_{12} により、インバータ回路INV₁の高周波電流の整流器DBへ帰還される電流量を低減することができ、その結果、整流器DBを構成するダイオードに高周波電流が流れることで生じる発熱量を減じることができる。

（実施形態8）図26は本発明の第8の実施形態を示す概略回路図である。図26に示すように本実施形態の基本構成は実施形態6とほぼ共通しているため、共通する部分については同一の符号を付して説明は省略する。

【0090】本実施形態のインバータ回路INV₁においては、実施形態1と同様に低電位側の主スイッチング素子 Q_1 と並列に負荷回路3が接続されるとともに、コンデンサ C_1 とダイオード D_1 の並列回路も負荷回路3と主スイッチング素子 Q_2 との間の低電位側に挿入されている。なお、インバータ回路INV₁の基本的な動作は実施形態1と同様であるので詳しい説明は省略する。

【0091】また、本実施形態の電源回路4においては、コンデンサ C_1 とインダクタンス L_1 の直列回路と、ダイオード D_1 との接続関係が実施形態6又は7とは逆になっている。さらに、主スイッチング素子 Q_1 、 Q_2 の接続点と整流器DBの低電位側出力端（グラウンドライン）との間に抵抗 R_{11} を介してFETから成るスイッチング素子 Q_3 が挿入してあって、このスイッチング素子 Q_3 は起動回路2からの信号によってオン・オフされる。

【0092】次に、本実施形態のインバータ回路INV₁の発振開始時における回路動作を図27のタイムチャートを参照しながら説明する。なお、図27における

(a) は交流電源電圧 V_{ac} 、(b) はコンデンサ C_1 の両端電圧 V_{c1} 、(c) はコンデンサ C_1 の両端電圧 V_{c1} 、(d) は起動回路2から出力されるスイッチング素子 Q_1 の駆動信号、(e) は起動回路2から制御回路CNT₁へ出力される起動信号、(f) は制御回路CNT₁から主スイッチング素子 Q_1 、 Q_2 に出力される駆動信号を表している。

【0093】時刻 $t = t_0$ で交流電源ACが投入されると、起動回路2からスイッチング素子 Q_1 へHレベルの駆動信号が出力され、スイッチング素子 Q_1 がオンとなる（図27（d）参照）。そして、電源回路4のコンデンサ C_1 は、整流器DB→インダクタンス L_1 →コンデンサ C_1 →ダイオード D_1 →抵抗 R_{11} →スイッチング素子 Q_3 →ダイオード D_1 →整流器DBの経路で流れる充電電流によって充電される（同図（c）参照）。

【0094】時刻 $t = t_1$ においてコンデンサ C_1 の両端電圧 V_{c1} が所定のレベルになるまで充電されると、起動回路2からスイッチング素子 Q_1 への駆動信号がLレベルとされるとともに、交流電源電圧 V_{ac} のゼロクロス付近で実施形態6又は7と同様に起動回路2から制御回路CNT₁に起動信号が出力され（同図（a）及び（e）参照）、制御回路CNT₁がトリガされて時刻 $t = t_2$ の時点から主スイッチング素子 Q_1 、 Q_2 へ高周波の駆動信号を出力して、インバータ回路INV₁の発振動作を開始させる（同図（f）参照）。

【0095】而して、本実施形態によれば、インバータ回路INV₁の発振を開始する前に電源回路4のコンデンサ C_1 を充電するための手段（抵抗 R_{11} とスイッチング素子 Q_3 ）を備えたので、インバータ回路INV₁の発振開始前に予めコンデンサ C_1 を充電しておくことにより、その発振開始時にインダクタンス L_1 及びコンデンサ C_1 に流れる電流を低減し、これによってインダクタンス L_1 に蓄積されたエネルギーの放出期間を短くして、インバータ回路INV₁の主スイッチング素子 Q_1 、 Q_2 に印加されるストレスを低減することができる。

【0096】ところで、インバータ回路INV₁の直流成分カット用のコンデンサ C_1 は、インバータ回路INV₁の発振開始前（停止時）において抵抗 R_{11} と直流的に並列に接続されているから、この時には抵抗 R_{11} における電圧降下に略等しい電圧が印加されている。また、インバータ回路INV₁の発振前にはコンデンサ C_1 の両端電圧 V_{c1} は所定値（ $= V_1$ ）まで上昇しており、交流電源電圧 V_{ac} が上記所定値 V_1 よりも大きい場合には、交流電源ACから整流器DB→インダクタンス L_1 →コンデンサ C_1 →ダイオード D_1 →抵抗 R_{11} →スイッチング素子 Q_3 →ダイオード D_1 →整流器DBの経路で

電流が流れる。よって、抵抗 R_{11} において電圧降下が生じることから、コンデンサ C_3 の両端にも電圧が生じる。一方、交流電源電圧 V_{Ac} が上記所定値 V_1 よりも小さい場合には、交流電源ACから電源回路4やインバータ回路1NV₁に電流が流れる経路がないため、コンデンサ C_3 の両端電圧 V_{c3} も略ゼロとなる。

【0097】すなわち、本実施形態においても起動回路2で交流電源電圧 V_{Ac} のゼロクロスを検出してインバータ回路1NV₁の発振を開始するため、実施形態6又は7と同様に電源投入時における主スイッチング素子 Q_1 、 Q_2 へのストレスを低減することができるのであるが、インバータ回路1NV₁の発振開始前のコンデンサ C_3 の両端電圧 V_{c3} （例えば、所定値 V_1 ）に対して交流電源電圧 V_{Ac} が低いときにインバータ回路1NV₁の発振を開始した場合でも、インバータ回路1NV₁の共振電流がコンデンサ C_3 を介して流れるため、従来例2や従来例3に比較して主スイッチング素子 Q_1 、 Q_2 へのストレスを低減することができる。

【0098】（実施形態9）図28は本発明の第9の実施形態を示す概略回路図である。図28に示すように本実施形態の基本構成は実施形態6並びに8とほぼ共通しているので、共通する部分については同一の符号を付して説明は省略する。本実施形態のインバータ回路1NV₁においては、実施形態6と同様に高電位側の主スイッチング素子 Q_1 と並列に負荷回路3が接続されている。また、電源回路5においては、コンデンサ C_3 とインダクタンス L_1 の直列回路が高電位側の主スイッチング素子 Q_1 と、ダイオード D_1 が低電位側の主スイッチング素子 Q_2 とがそれぞれ並列接続されるとともに、インバータ回路1NV₁の発振を開始する前に電源回路5のコンデンサ C_3 を充電するための手段（抵抗 R_{11} とスイッチング素子 Q_2 の直列回路）がダイオード D_1 に並列接続されている。また、直流成分カット用のコンデンサ C_3 並びにダイオード D_1 には各々並列に抵抗 R_{12} 、 R_{13} が接続されている。なお、インバータ回路1NV₁の基本的な動作は実施形態6～8と同様であるので詳しい説明は省略する。

【0099】一方、インバータ回路1NV₁の発振開始前においては、実施形態8と同様に起動回路2によってスイッチング素子 Q_2 がオンされて電源回路5のコンデンサ C_3 が充電される。ここで、負荷回路3の構成は実施形態6～8と共通であるから、負荷回路3には直流インピーダンス成分はない。よって、2つの抵抗 R_{12} 、 R_{13} の直列回路に対してコンデンサ C_3 が並列に接続されることになる。また、コンデンサ C_3 は抵抗 R_{12} に並列接続されているので、コンデンサ C_3 の両端電圧 V_{c3} は、最も高くなるときであっても、コンデンサ C_3 の両端電圧 V_{c3} を抵抗 R_{12} 、 R_{13} で分圧したレベルとなる。

【0100】そこで、インバータ回路1NV₁の発振開

始前において、コンデンサ C_3 の両端電圧 V_{c3} に対してコンデンサ C_3 の両端電圧 V_{c3} が低く、且つ実施形態8と同様に交流電源電圧 V_{Ac} よりもコンデンサ C_3 の両端電圧 V_{c3} が高いときにインバータ回路1NV₁の発振を開始すれば、例えばコンデンサ C_3 がインバータ回路1NV₁の発振開始前に充電されていても、インバータ回路1NV₁の発振開始時に主スイッチング素子 Q_1 、 Q_2 へ加わるストレスを低減することが可能である。なお、実施形態6～8と同様に交流電源電圧 V_{Ac} のゼロクロス付近で起動回路2から起動信号を出力してインバータ回路1NV₁の発振を開始させるようにしてもよいことはいうまでもない。

【0101】（実施形態10）図29は本発明の第10の実施形態を示す概略回路図である。図29に示すように本実施形態の基本構成は実施形態6とほぼ共通しているので、共通する部分については同一の符号を付して説明は省略する。本実施形態は電源回路6の構成において実施形態6と異なっている。すなわち、本実施形態の電源回路6は、ダイオード D_4 を介して整流器DBの脈流出力端間に接続されるコンデンサ C_{14} 、ダイオード D_{13} 、コンデンサ C_{15} の直列回路と、コンデンサ C_{14} 及びダイオード D_{13} に逆並列に接続されるダイオード D_{14} と、コンデンサ C_{15} 及びダイオード D_{15} に逆並列に接続されるダイオード D_{15} とで構成される。そして、交流電源電圧 V_{Ac} のピーク付近でコンデンサ C_{14} 、 C_{15} がダイオード D_{13} を介して充電され、各コンデンサ C_{14} 、 C_{15} の両端電圧 V_{c14} 、 V_{c15} はコンデンサ C_{14} 、 C_{15} の容量値がほぼ等しい場合には交流電源電圧 V_{Ac} のピーク値の略半分となる。交流電源電圧 V_{Ac} が各コンデンサ C_{14} 、 C_{15} の両端電圧 V_{c14} 、 V_{c15} よりも低いときには、コンデンサ C_{14} の充電電荷がダイオード D_{15} を介して、コンデンサ C_{15} の充電電荷がダイオード D_{14} を介してそれぞれ放電されるので、この電源回路6は整流器DBの脈流出力電圧を部分平滑（谷埋め）してインバータ回路1NV₁に供給する部分平滑電源となる。

【0102】一方、本実施形態のインバータ回路1NV₁においては、ツェナーダイオード ZD_2 、抵抗 R_{11} 及びスイッチング素子 Q_2 の直列回路が低電位側の主スイッチング素子 Q_2 と並列に接続されている。実施形態8及び9と同様に、スイッチング素子 Q_2 は起動回路2によってインバータ回路1NV₁の発振開始前にオンされている。負荷回路3には直流インピーダンス成分がないことから、スイッチング素子 Q_2 がオンすることでコンデンサ C_3 がツェナーダイオード ZD_2 、抵抗 R_{11} を介して充電される。また、上述のように電源回路6のコンデンサ C_{14} 、 C_{15} の両端電圧 V_{c14} 、 V_{c15} は交流電源電圧 V_{Ac} のピーク値の略半分ではほぼ等しくなる。

【0103】そこで、本実施形態では、コンデンサ C_3 の両端電圧 V_{c3} が交流電源電圧 V_{Ac} のピーク値の略半分よりも低くなるようにツェナーダイオード ZD_2 のツ

エナ一電圧を設定するとともに、交流電源電圧 V_{ac} がコンデンサ C_{11} 、 C_{12} の両端電圧 V_{c11} 、 V_{c12} よりも低いときにインバータ回路 INV の発振を開始させるようにすることで、インバータ回路 INV の共振電流をコンデンサ C_1 を介して流すことができ、その結果、インバータ回路 INV の発振開始時に主スイッチング素子 Q_1 、 Q_2 に加えられるストレスを低減することができる。

【0104】（実施形態11）図30は本発明の第11の実施形態を示す概略回路図である。図30に示すように本実施形態の基本構成は図45に示した従来例5と共通するので、共通する部分については同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。

【0105】本実施形態は、従来例5の構成に対して、高電位側の主スイッチング素子 Q_1 に並列接続されているインダクタンス L_2 とコンデンサ C_2 の接続位置を入れ換えるとともに、抵抗 R_1 とスイッチング素子 Q_2 の直列回路から成る充電回路9をダイオード D_2 のアノードとインダクタンス L_2 及びコンデンサ C_2 の接続点との間に設けてある点が異なっている。

【0106】次に、図31を参照して本実施形態の回路動作を説明する。まず、電源投入時から一定の期間が経過するまで起動回路8を動作させてスイッチング素子 Q_2 をオンするとともに、発振回路7を制御して主スイッチング素子 Q_1 、 Q_2 をオフとしてインバータ回路 INV_1 の動作を停止させる。このようなインバータ回路 INV_1 の停止期間中には、整流器 $DB \rightarrow$ コンデンサ C_1 、一抵抗 $R_1 \rightarrow$ スwitching素子 Q_2 、一整流器 DB の経路で電流が流れてコンデンサ C_1 が充電される。そして、上記一定期間が経過したら、起動回路2がスイッチング素子 Q_2 をオフするとともに発振回路7を制御して主スイッチング素子 Q_1 、 Q_2 を高周波で交互にオン・オフさせる。以降、発振回路7によって主スイッチング素子 Q_1 、 Q_2 のオン・オフを繰り返すことにより、インダクタンス L_2 、コンデンサ C_2 、並びに負荷 Z のインピーダンス及び主スイッチング素子 Q_1 、 Q_2 の駆動周波数（発振回路7の発振周波数）によって決まる高周波電力が負荷 Z に供給される。

【0107】また、インダクタンス L_2 、コンデンサ C_2 、ダイオード D_2 、 D_1 で構成される谷埋電源回路は、主スイッチング素子 Q_2 のオン時に交流電源 $AC \rightarrow$ 整流器 $DB \rightarrow$ コンデンサ $C_1 \rightarrow$ インダクタンス $L_2 \rightarrow$ ダイオード $D_1 \rightarrow$ 主スイッチング素子 $Q_2 \rightarrow$ 整流器 $DB \rightarrow$ 交流電源 AC の経路で流れる電流によってコンデンサ C_2 が充電される。ここで、上記谷埋電源回路に印加される電圧は、図31(a)に示すように整流器 DB からの入力電圧 V_i をコンデンサ C_2 の両端電圧 V_{c2} で谷埋め（部分平滑）した電圧波形に等しくなる。さらに、コンデンサ C_2 の両端電圧 V_{c2} は所定の一定値となるこ

とから、インダクタンス L_2 とコンデンサ C_2 との接続点の電圧 ($V_i - V_{c2}$) は、図31(b)に示すような波形となり、その最大値は $V_{i_{max}} - V_{c2}$ ($V_{i_{max}}$ は入力電圧 V_i の最大値) となる。

【0108】一方、電源投入時からインバータ回路 INV_1 を停止している一定期間においては、従来例5と同様に起動回路2によりスイッチング素子 Q_2 をオンとして整流器 $DB \rightarrow$ コンデンサ $C_1 \rightarrow$ 抵抗 $R_1 \rightarrow$ スwitching素子 $Q_2 \rightarrow$ 整流器 DB の経路で電流を流してコンデンサ C_2 が所定の両端電圧となるまで充電される。従来例5の回路構成では、充電回路9が主スイッチング素子 Q_2 に並列接続されていたためにインバータ回路 INV_1 の動作中にはスイッチング素子 Q_2 に上記入力電圧 V_i の最大値 $V_{i_{max}}$ が印加されていた。

【0109】しかしながら、本実施形態においては充電回路9をコンデンサ C_2 とインダクタンス L_2 の接続点とダイオード D_2 のアノードの間に接続したため、主スイッチング素子 Q_2 への印加電圧はダイオード D_2 に負担されることとなって充電回路9には印加されなくなり、充電回路9のスイッチング素子 Q_2 に耐圧の低い素子を用いることが可能となる。しかも、コンデンサ C_2 、インダクタンス L_2 、ダイオード D_2 、 D_1 及び主スイッチング素子 Q_2 から成る回路が降圧チョップ動作を行っている際に充電回路9に印加される電圧も、図31(b)に示すように $V_{i_{max}} - V_{c2}$ に低減されるので（従来例5においては、入力電流の最大値 $V_{i_{max}}$ が印加されていた。）、より耐圧の低い素子を使用でき、部品の小型化やコストの低減が図れるという利点がある。なお、他の構成及び回路動作は従来例5と同様であって、インバータ回路 INV_1 の発振開始直後における主スイッチング素子 Q_1 、 Q_2 へのストレスの印加の防止も可能であり、さらにインバータ回路 INV_1 の動作中は充電回路9のスイッチング素子 Q_2 がオフであるから充電電流が流れず、抵抗 R_1 による不要な電力消費もないものである。

【0110】（実施形態12）図32は本発明の第12の実施形態を示す概略回路図である。図32に示すように本実施形態の基本構成は実施形態11と共通するので、共通する部分については同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。

【0111】本実施形態は、スイッチング素子 Q_2 の代わりにツェナーダイオード ZD_2 を抵抗 R_1 と直列接続して成る充電回路10を備えた点に特徴を有している。ここで、ツェナーダイオード ZD_2 のツェナー電圧は、インバータ回路 INV_1 の動作時にインダクタンス L_2 とコンデンサ C_2 との接続点に印加される電圧の最大値 $V_{i_{max}} - V_{c2}$ ($V_{i_{max}}$ は入力電圧 V_i の最大値) よりも高い値に設定してある。よって、インバータ回路 INV_1 の動作中はツェナーダイオード ZD_2 が導通せ

ず、実施形態 11 と同様に充電回路 10 には電流が流れない。

【0112】一方、電源投入時からインバータ回路 1NV₁を停止している一定期間においては、コンデンサ C₁が充電されていないためにインダクタンス L₁とコンデンサ C₁との接続点の電圧は整流器 DB からの入力電圧 V_iにほぼ等しい。したがって、入力電圧 V_iがツェナーダイオード ZD₁のツェナー電圧よりも高い場合にツェナーダイオード ZD₁が導通してコンデンサ C₁の充電が行われ、実施形態 11 と同様の効果を奏することができ、しかも、本実施形態では起動回路 8 によって充電回路 10 を制御する必要がないので、起動回路 8 の構成を簡略化できるという利点もある。

【0113】（実施形態 13）図 33 は本発明の第 13 の実施形態を示す概略回路図である。図 33 に示すように本実施形態の基本構成は実施形態 12 と共通するので、共通する部分については同一の符号を付して説明は省略し、本実施形態の特徴となる部分についてのみ説明する。

【0114】本実施形態は、インダクタンス L₁とコンデンサ C₁の直列回路を低電位側の主スイッチング素子 Q₂と並列に接続するとともにダイオード D₁を高電位側の主スイッチング素子 Q₁と並列に接続し、さらにダイオード D₂のカソード（整流器 DB の脈流出力端高電位側）とインダクタンス L₁及びコンデンサ C₁の接続点との間に充電回路 10 を設けた点が実施形態 12 と異なる。

【0115】また回路動作については、インバータ回路 1NV₁の動作時、主スイッチング素子 Q₁がオンのときに整流器 DB→主スイッチング素子 Q₁→ダイオード D₁→インダクタンス L₁→コンデンサ C₁→整流器 DB の経路でコンデンサ C₁の充電電流が流れ、またコンデンサ C₁の放電がダイオード D₂を介して行われる点異なるものの、他の動作については実施形態 12 と共通である。したがって、本実施形態においてもインバータ回路 1NV₁の発振開始前に整流器 DB からの入力電圧 V_iがツェナーダイオード ZD₁のツェナー電圧よりも高い場合にツェナーダイオード ZD₁が導通するように上記ツェナー電圧を設定しておけば、実施形態 12 と同様の効果を奏することができる。

【0116】（実施形態 14）図 34 は本発明の第 14 の実施形態を示す概略回路図である。図 34 に示すように本実施形態の基本構成は実施形態 13 と共通するので、共通する部分については同一の符号を付して説明は省略する。本実施形態におけるインバータ回路 1NV₁は、ダイオード D_a、D_bが逆並列に接続されたバイポーラトランジスタから成る主スイッチング素子 Q₁、Q₂の直列回路を有しており、実施形態 11～13 のインバータ回路 1NV₁における主スイッチング素子 Q₁、Q₂が FET から成る電圧駆動型であるのに対し、

電流駆動型となっている。主スイッチング素子 Q₁、Q₂のベースには、それぞれ抵抗 R₁、R₂を介して電流トランス CT₁の 2 次巻線 n₂及び 3 次巻線 n₃が接続されている。また、電流トランス CT₁の 1 次巻線 n₁は、コンデンサ C₁と主スイッチング素子 Q₁、Q₂の接続点の間に挿入されている。

【0117】また起動回路 12 は、コンデンサ C₂と並列に接続された抵抗 R₁とコンデンサ C₁の直列回路と、抵抗 R₁とコンデンサ C₁の接続点と主スイッチング素子 Q₂のベースとの間に挿入されたダイアック Q₁と、抵抗 R₁とコンデンサ C₁の接続点と主スイッチング素子 Q₂のコレクタとの間に挿入されたダイオード D₂とで構成されている。

【0118】一方充電回路 11 は、抵抗 R₁とツェナーダイオード ZD₁の直列回路を有する点は実施形態 13 の構成と共通しており、さらにツェナーダイオード ZD₁のアノードがバイポーラトランジスタから成るスイッチング素子 Q₁のベースに接続されるとともに、スイッチング素子 Q₁のコレクタが抵抗 R₁を介して整流器 DB の脈流出力端高電位側に接続され、且つスイッチング素子 Q₁のエミッタがコンデンサ C₁と起動回路 12 との接続点に接続されて構成されている。

【0119】次に、本実施形態の回路動作を説明する。まず、インバータ回路 1NV₁の動作について説明する。コンデンサ C₁が充電されると起動回路 12 のコンデンサ C₂も抵抗 R₁を介して充電され、コンデンサ C₂の両端電圧が所定値を越えるとダイアック Q₁がトリガされてターンオンする。これによりインバータ回路 1NV₁の主スイッチング素子 Q₂のベースにトリガ信号が入力されるので、主スイッチング素子 Q₂がオンしてインバータ回路 1NV₁が起動（発振が開始）される。インバータ回路 1NV₁が起動されると電流トランス CT₁の 1 次巻線 n₁にも高周波電流（共振電流）が流れ、2 次巻線 n₂及び 3 次巻線 n₃にはそれぞれ逆極性の起電力が誘起される。これにより、一対の主スイッチング素子 Q₁、Q₂が高周波で交互にオン・オフされ、所謂自励動作によって発振が継続する。なお、インバータ回路 1NV₁が起動することで起動回路 12 のコンデンサ C₂の充電電流はダイオード D₂→主スイッチング素子 Q₂に流れるためコンデンサ C₁が充電されず、ダイアック Q₁が再度トリガされることはない。

【0120】さて次に、充電回路 11 の動作について説明する。本実施形態においても実施形態 12 又は 13 と同様に、インバータ回路 1NV₁の発振開始前に整流器 DB からの入力電圧 V_iがツェナーダイオード ZD₁のツェナー電圧よりも高い場合にツェナーダイオード ZD₁が導通するようにツェナー電圧を設定している。このため、交流電源 AC の電源投入直後においてはツェナーダイオード ZD₁が導通してスイッチング素子 Q₁がオンとなり、整流器 DB→抵抗 R₁→スイッチング素子 Q₁

。→コンデンサ C_1 の経路で電流が流れてコンデンサ C_1 が充電される。なお、インバータ回路 INV_1 の動作中にはツェナーダイオード ZD_1 が導通しないためにスイッチング素子 Q_1 もオフとなり、抵抗 R_1 における不要な電力消費を避けることができる。さらに、コンデンサ C_1 が充電されていない場合には、起動回路 12 のコンデンサ C_2 も充電されないため、電源投入直後に交流電源 AC が瞬時に低電圧（あるいは停電）となったときにコンデンサ C_1 の両端電圧 V_c が所定のレベルにまで充電されなくても、このときにはインバータ回路 INV_1 は動作しないことになり、交流電源 AC の電源電圧 V_a 変動に因る主スイッチング素子 Q_1 、 Q_2 へのストレスの印加を抑えることができる。

【0121】上述の実施形態 $11 \sim 14$ においては、インバータ回路として 2 つの主スイッチング素子を用いた所謂 2 石式のものについて説明したが、主スイッチング素子のオン・オフ動作によって電源回路のコンデンサ C_1 が充電されるとともに、このコンデンサ C_1 が部分平滑（谷埋）電源として動作するような回路構成であればインバータ回路の形式は特に限定されず、例えば 1 石式

【0122】

【発明の効果】請求項 1 の発明は、交流電源を整流する整流器と、整流器の出力端間に接続される第 1 のコンデンサと、第 1 のコンデンサの両端に直列接続される第 1 及び第 2 の主スイッチング素子並びに何れか一方の主スイッチング素子と並列接続される共振回路を具備するインバータ回路と、第 1 及び第 2 の主スイッチング素子を高周波で交互にオン・オフする制御回路とを備え、上記共振回路は、共振用の第 1 のインダクタンスと、負荷に並列接続される共振用の第 2 のコンデンサと、直流カップリング用の第 3 のコンデンサと、第 1 のダイオードが並列接続された第 4 のコンデンサとを有するとともに第 1 のコンデンサと第 1 及び第 2 の主スイッチング素子の直列回路との間に第 4 のコンデンサと第 1 のダイオードの上記並列回路が接続されて成り、第 1 及び第 2 の主スイッチング素子の直列回路に第 5 のコンデンサ、第 2 のインダクタンス並びに第 2 のダイオードの直列回路と、第 6 のコンデンサとが並列接続され且つ第 1 及び第 2 の主スイッチング素子の接続点と第 2 のインダクタンス及び第 2 のダイオードの接続点を第 3 のダイオードにより接続して成る電源装置において、第 2 のダイオードと並列にスイッチング素子を設けるとともに、上記制御回路により負荷の状態に応じて上記スイッチング素子をオン・オフするので、通常時には上記スイッチング素子をオフすることでインバータ回路の電源電圧がいわゆる谷埋め（部分平滑）されて負荷電流波形の改善が図れるとともに、軽負荷時には上記スイッチング素子をオンすることでインバータ回路の電源電圧の上昇を防止することができるという効果がある。

【0123】請求項 2 の発明は、交流電源を整流する整流器と、整流器に接続される第 1 のコンデンサと、第 1 のコンデンサと並列に直列接続される第 1 及び第 2 の主スイッチング素子並びに何れか一方の主スイッチング素子と並列接続される共振回路を具備するインバータ回路と、第 1 及び第 2 の主スイッチング素子を高周波で交互にオン・オフする制御回路とを備え、上記共振回路は、共振用の第 1 のインダクタンスと、負荷に並列接続される共振用の第 2 のコンデンサと、直流カップリング用の第 3 のコンデンサと、第 1 のダイオードが並列接続された第 4 のコンデンサとを有するとともに第 1 のコンデンサと第 1 及び第 2 の主スイッチング素子の直列回路との間に第 4 のコンデンサと第 1 のダイオードの上記並列回路が接続されて成り、第 1 及び第 2 の主スイッチング素子の直列回路に第 5 のコンデンサ、第 2 のインダクタンス並びに第 2 のダイオードの直列回路と、第 6 のコンデンサとが並列接続され且つ第 1 及び第 2 の主スイッチング素子の接続点と第 2 のインダクタンス及び第 2 のダイオードの接続点を第 3 のダイオードにより接続して成る電源装置において、第 2 のインダクタンスの両端に設けられる一対の切換端子と、第 1 の主スイッチング素子の高電位側に設けられる共通端子と、上記制御回路により制御されて上記共通端子を上記一対の切換端子に択一に切換接続する切換回路を備えたので、通常時には上記切換回路の共通端子を一方の切換端子に切り換えることでインバータ回路の電源電圧がいわゆる谷埋め（部分平滑）されて負荷電流波形の改善が図れるとともに、軽負荷時には上記切換回路の共通端子を他方の切換端子に切り換えることでインバータ回路の電源電圧の上昇を防止することができるという効果がある。

【0124】請求項 3 の発明は、上記制御回路によりオン・オフされて上記第 4 のコンデンサの両端間を短絡するスイッチング素子を備えたので、上記スイッチング素子をオンとして第 4 のコンデンサを短絡することにより、無負荷時のように最も負荷が軽くなる場合やその他の異常の場合などにもインバータ回路の電源電圧の上昇防止が図れるという効果がある。

【0125】請求項 4 の発明は、上記制御回路によりオン・オフされるスイッチング素子と第 7 のコンデンサの直列回路が第 4 のコンデンサに並列接続されて成るので、上記スイッチング素子のオン・オフによって第 4 のコンデンサに第 7 のコンデンサが選択的に接続されて第 4 のコンデンサの見かけ上の容量が可変され、それにより負荷への電力供給量を絞る場合にもインバータ回路の電源電圧の上昇防止及び主スイッチング素子に対するストレス低減を図ることができるという効果がある。

【0126】請求項 5 の発明は、上記制御回路によりオン・オフされて上記第 4 のコンデンサの両端間を短絡する短絡用のスイッチング素子を備え、上記制御回路によりオン・オフされる切換用のスイッチング素子と第 7 の

コンデンサの直列回路が第4のコンデンサに並列接続されて成るので、上記短絡用のスイッチング素子をオンとして第4のコンデンサを短絡することにより、無負荷時のように最も負荷が軽くなる場合やその他の異常の場合などにもインバータ回路の電源電圧の上昇防止が図れるとともに、上記切換用のスイッチング素子のオン・オフによって第4のコンデンサに第7のコンデンサが選択的に接続されて第4のコンデンサの見かけ上の容量が可変され、そのために負荷への電力供給量を絞る場合にもインバータ回路の電源電圧の上昇防止及び主スイッチング素子に対するストレス低減を図ることができるという効果がある。

【0127】請求項6の発明は、交流電源を整流する整流器と、高周波でスイッチングされる1乃至複数の主スイッチング素子を具備するとともに1乃至複数の共振用のインダクタンス、共振用のコンデンサ、直流成分カット用のコンデンサ並びに負荷から構成される共振回路を有して上記整流器の出力を高周波出力に変換して負荷に供給するインバータ回路と、1乃至複数の部分平滑用のコンデンサを具備して上記整流器の出力を部分平滑する電源回路とを備えた電源装置において、上記共振回路を介して整流器の出力側に上記インバータ回路の高周波出力の一部を帰還する帰還手段と、交流電源電圧の絶対値が部分平滑用のコンデンサの両端電圧よりも低いときに上記インバータ回路の発振を開始させる制御手段とを備えたので、交流電源の電源投入時には制御手段によって交流電源電圧の絶対値が部分平滑用のコンデンサの両端電圧よりも低いときにインバータ回路の発振が開始され、そのため、直流成分カット用のコンデンサを定常状態に充電する過程においてインバータ回路の主スイッチング素子へ加わるストレスを低減することができるという効果がある。

【0128】請求項7の発明は、上記インバータ回路の発振開始前に、部分平滑用のコンデンサを充電する手段を備えたので、インバータ回路の発振開始前に予め部分平滑用のコンデンサを充電しておくことにより、インバータ回路の発振開始時に部分平滑用のコンデンサに流れる電流を減らすことができ、その結果、インバータ回路の主スイッチング素子に印加されるストレスを低減することができるという効果がある。

【0129】請求項8の発明は、上記インバータ回路の発振開始前に、上記共振回路を構成する直流成分カット用のコンデンサの両端電圧が部分平滑用のコンデンサの両端電圧よりも低い状態まで直流成分カット用のコンデンサを充電する手段を備えたので、インバータ回路の主スイッチング素子に印加されるストレスを低減することができるという効果がある。

【0130】請求項9の発明は、交流電源電圧のゼロクロスを検出する検出手段を備え、上記制御手段が、検出手段がゼロクロスを検出したときに上記インバータ回路

の発振を開始させて成るので、交流電源電圧のゼロクロス点に近いところでは直流成分カット用のコンデンサの両端電圧が殆どゼロに近いいため、インバータ回路の主スイッチング素子に印加されるストレスを低減することができるという効果がある。

【0131】請求項10の発明は、交流電源を整流する整流器と、高周波でオン・オフされる1乃至複数の主スイッチング素子を具備し直流出力を高周波交流出力に変換して負荷へ供給するインバータ回路と、1乃至複数のコンデンサ並びにインダクタンスを有するとともに上記主スイッチング素子のオン・オフ動作によって上記コンデンサを充電し整流器の脈流出力を部分平滑した上記直流出力を上記インバータ回路に供給する部分平滑回路とを備えた電源装置において、上記部分平滑回路のコンデンサをインダクタンスを介して上記主スイッチング素子に直列接続するとともに、上記インバータ回路の動作開始前に上記コンデンサを充電する充電回路を上記インダクタンスと主スイッチング素子の直列回路に並列接続して成るので、充電回路によってインバータ回路の動作開始時に主スイッチング素子へ加わるストレスを低減できるとともに、インバータ回路の動作中に充電回路へ印加される電圧を低減させることができ、且つ充電回路に用いられる回路部品の耐圧を下げることで充電回路の小型化や簡略化が可能となるという効果がある。

【0132】請求項11の発明は、上記コンデンサを所定のレベル以上に充電した後は上記充電回路による充電を停止して成るので、充電回路における不要な電力消費をなくすることができるという効果がある。請求項12の発明は、上記充電回路が、上記コンデンサの充電経路を開閉する開閉手段を具備するので、インバータ回路の動作中は開閉手段を開成することで充電回路による上記コンデンサの充電が行われず、充電電流による不要な電力消費をなくすることができるという効果がある。

【0133】請求項13の発明は、上記開閉手段が、インバータ回路の主スイッチング素子よりも先に動作を開始するとともに、上記主スイッチング素子のオン・オフ動作に同期してオン・オフ動作が繰り返されるので、開閉手段の制御が容易になって回路の簡略化が図れるという効果がある。請求項14の発明は、上記開閉手段が、上記コンデンサの充電電圧レベルに応じてオン・オフ動作が繰り返されるので、開閉手段の制御が容易になって回路の簡略化が図れるという効果がある。

【図面の簡単な説明】

【図1】実施形態1を示す概略回路図である。

【図2】同上の動作を説明するための説明図である。

【図3】同上の動作を説明するための説明図である。

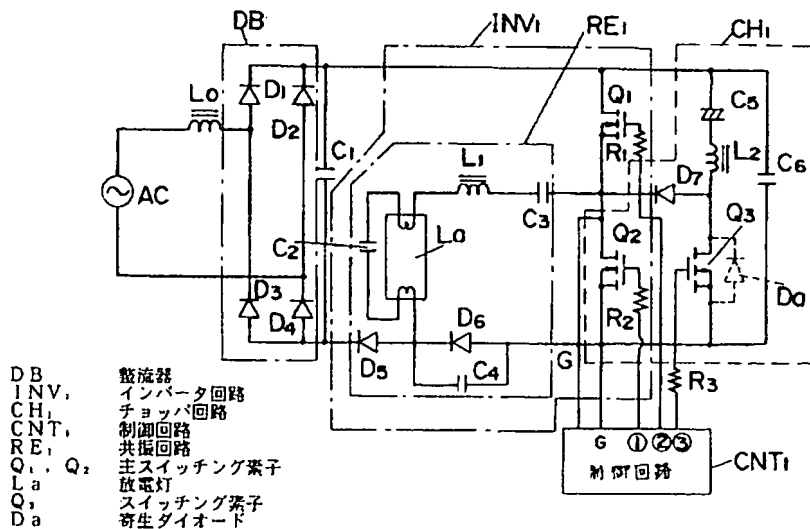
【図4】同上の動作を説明するための波形図である。

【図5】同上の動作を説明するための信号波形図である。

【図6】同上の動作を説明するための説明図である。

- 【図 7】実施形態 2 を示す概略回路図である。
 【図 8】同上の動作を説明するための説明図である。
 【図 9】同上の動作を説明するための説明図である。
 【図 10】同上の動作を説明するための説明図である。
 【図 11】同上の動作を説明するための波形図である。
 【図 12】同上の動作を説明するための波形図である。
 【図 13】同上の動作を説明するための波形図である。
 【図 14】実施形態 3 を示す概略回路図である。
 【図 15】同上の動作を説明するための説明図である。
 【図 16】同上の動作を説明するための波形図である。
 【図 17】同上の動作を説明するための説明図である。
 【図 18】同上の動作を説明するための波形図である。
 【図 19】実施形態 4 を示す概略回路図である。
 【図 20】同上の動作を説明するための波形図である。
 【図 21】実施形態 5 を示す概略回路図である。
 【図 22】実施形態 6 を示す概略回路図である。
 【図 23】同上の動作を説明するための波形図である。
 【図 24】要部の具体回路図を含む同上の回路構成図である。
 【図 25】実施形態 7 を示す概略回路図である。
 【図 26】実施形態 8 を示す概略回路図である。
 【図 27】同上の動作を説明するための波形図である。
 【図 28】実施形態 9 を示す概略回路図である。
 【図 29】実施形態 10 を示す概略回路図である。
 【図 30】実施形態 11 を示す概略回路図である。
 【図 31】同上の動作を説明するための波形図である。
 【図 32】実施形態 12 を示す概略回路図である。
 【図 33】実施形態 13 を示す概略回路図である。
 【図 34】実施形態 14 を示す概略回路図である。

【図 1】

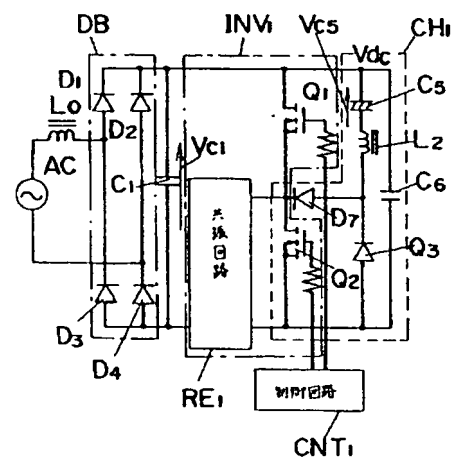


- 【図 35】従来例 1 を示す概略回路図である。
 【図 36】同上の動作を説明するための波形図である。
 【図 37】従来例 2 を示す概略回路図である。
 【図 38】同上の動作を説明するための波形図である。
 【図 39】従来例 3 を示す概略回路図である。
 【図 40】同上の動作を説明するための波形図である。
 【図 41】同上の動作を説明するための説明図である。
 【図 42】同上の動作を説明するための説明図である。
 【図 43】同上の動作を説明するための波形図である。
 【図 44】従来例 4 を示す概略回路図である。
 【図 45】従来例 5 を示す概略回路図である。
 【図 46】同上の動作を説明するための波形図である。
 【図 47】同上の動作を説明するための波形図である。
 【図 48】同上の動作を説明するための波形図である。
 【図 49】同上の動作を説明するための波形図であり、
 (b) (c) はそれぞれ同図 (a) のイ及びロ部分を拡大した図である。
 【図 50】同上の動作を説明するための波形図である。

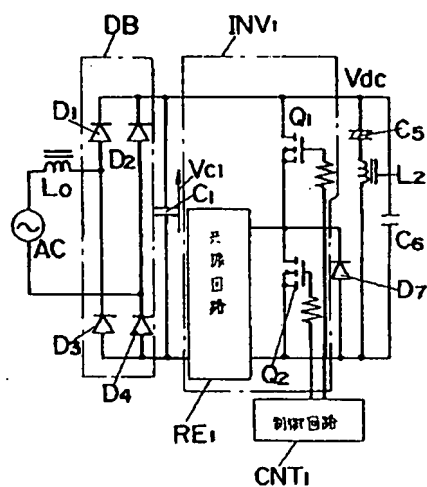
【符号の説明】

- DB 整流器
 INV₁ インバータ回路
 CH₁ チョップ回路
 CNT₁ 制御回路
 RE₁ 共振回路
 Q₁, Q₂ 主スイッチング素子
 L_a 放電灯
 Q₃ スwitching素子
 D_a 寄生ダイオード

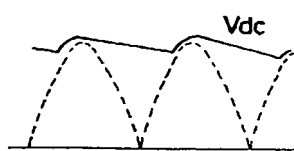
【図 2】



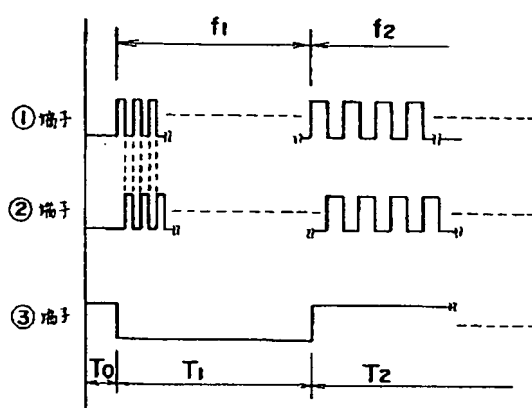
【圖 3】



【圖 4】

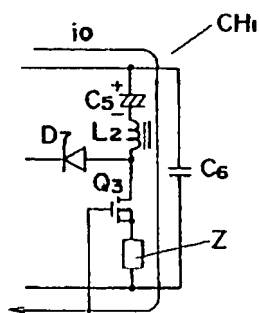


【圖 5】

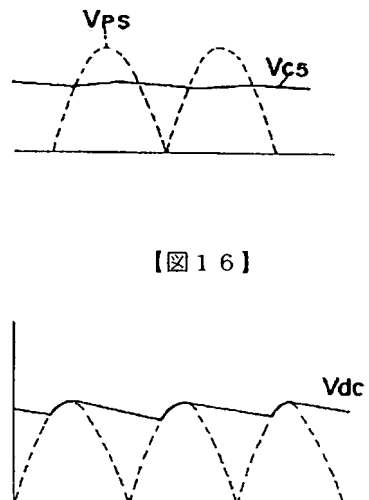
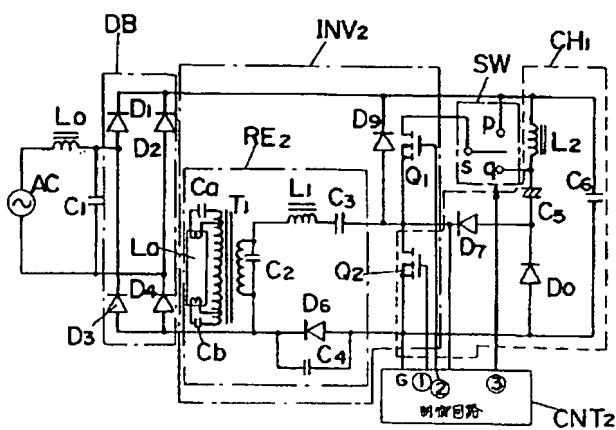


【圖 11】

【圖 6】

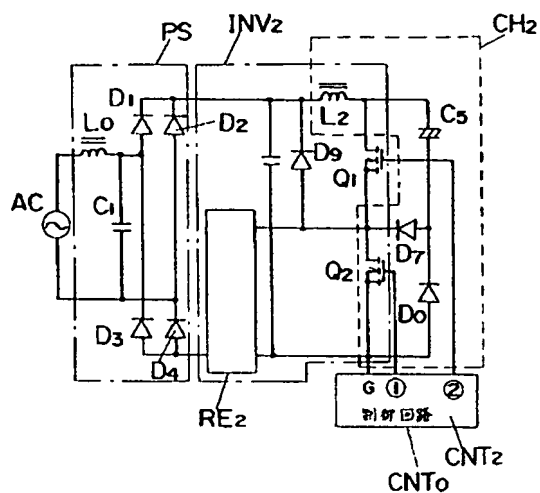


【圖 7】

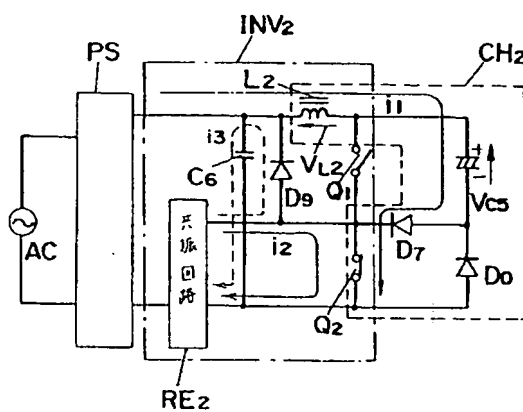


【圖 16】

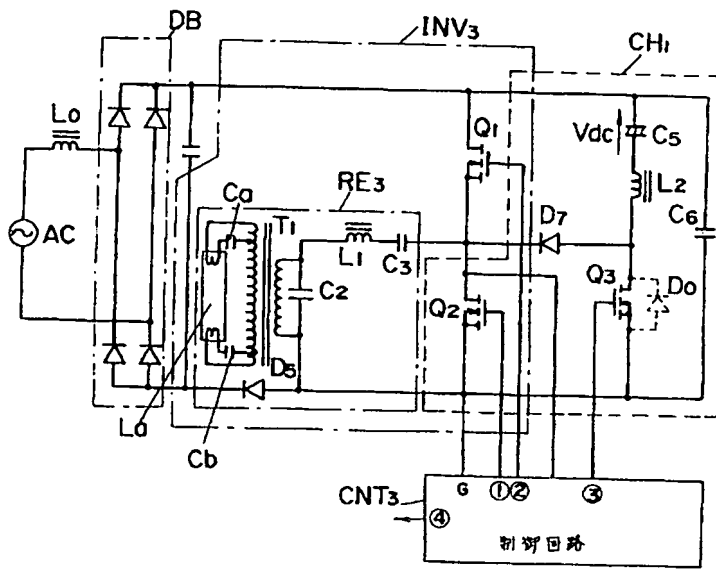
【圖 8】



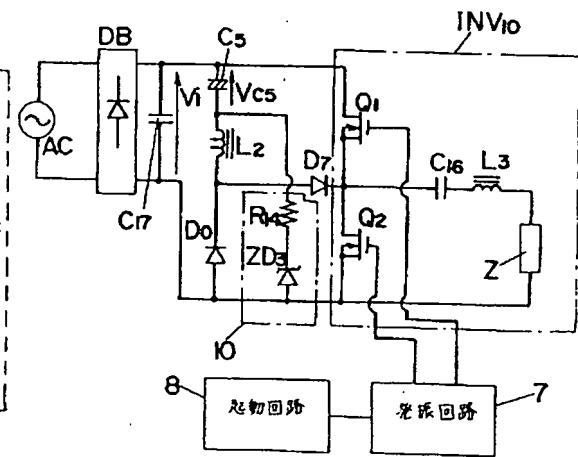
【圖 9】



【図 17】

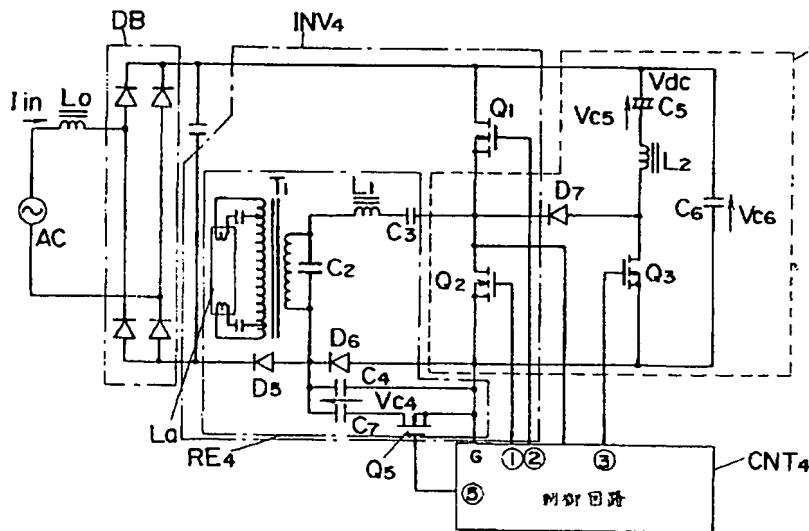


【図 32】

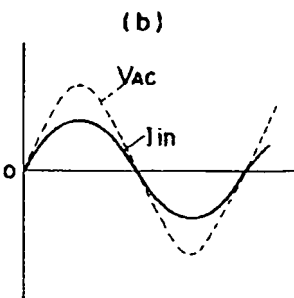
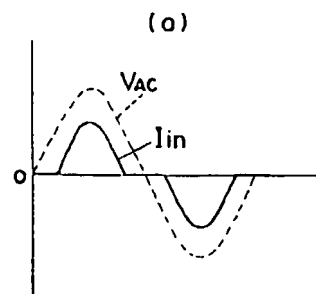


【図 36】

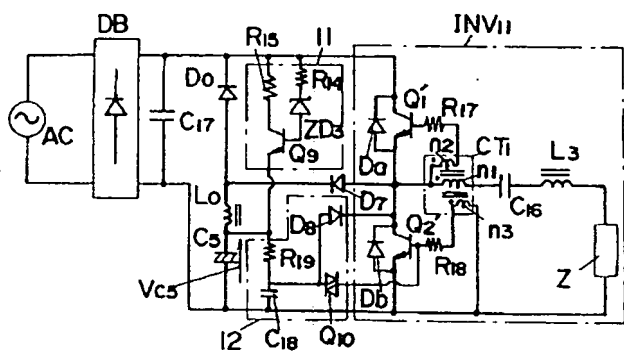
【図 19】



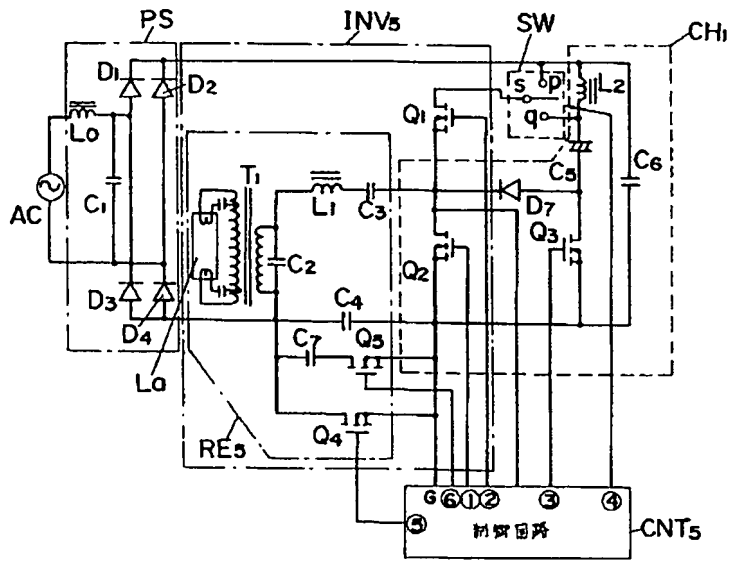
【図 20】



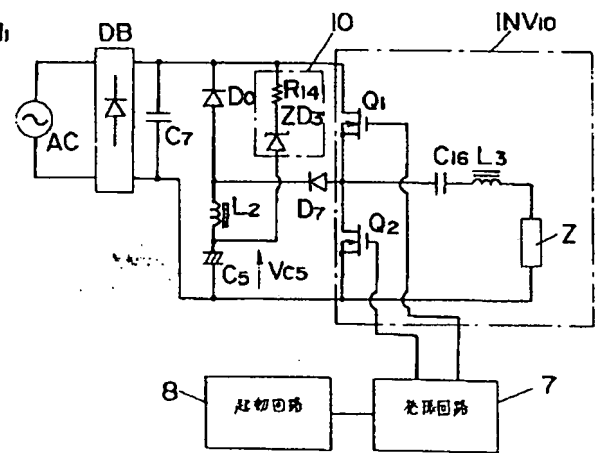
【図 34】



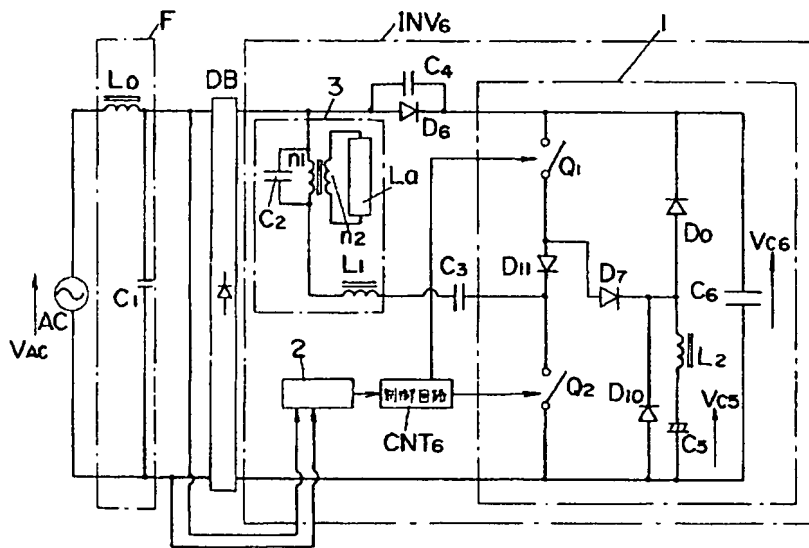
【図 2 1】



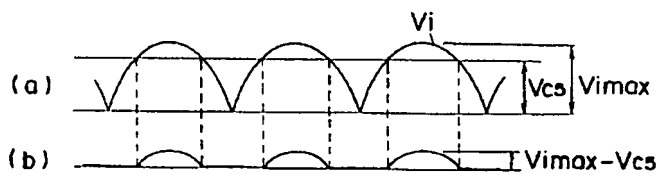
【図 3 3】



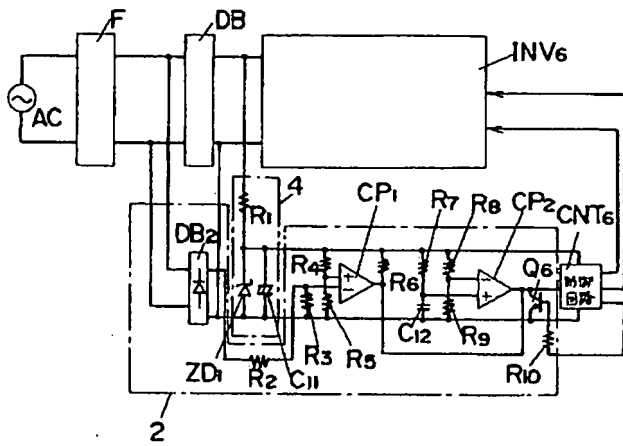
【図 2 2】



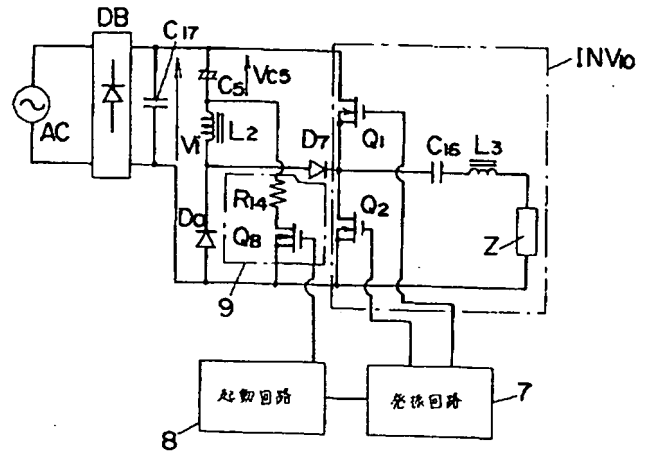
【図 3 1】



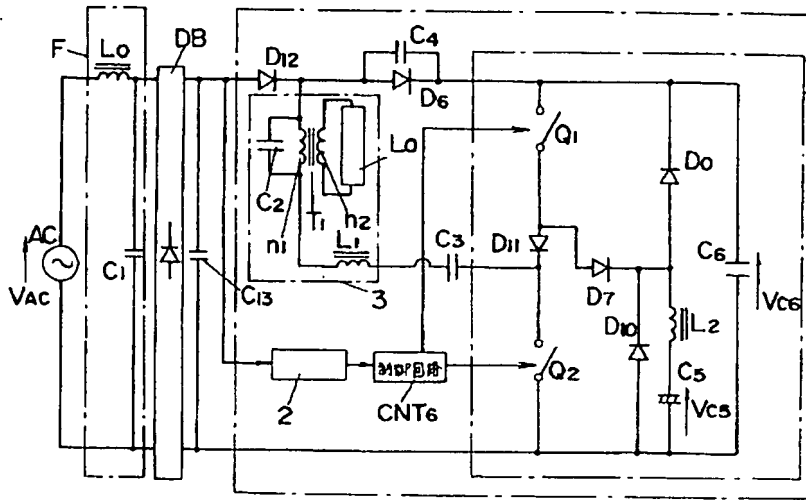
【図 24】



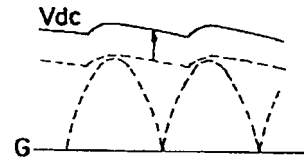
【図 30】



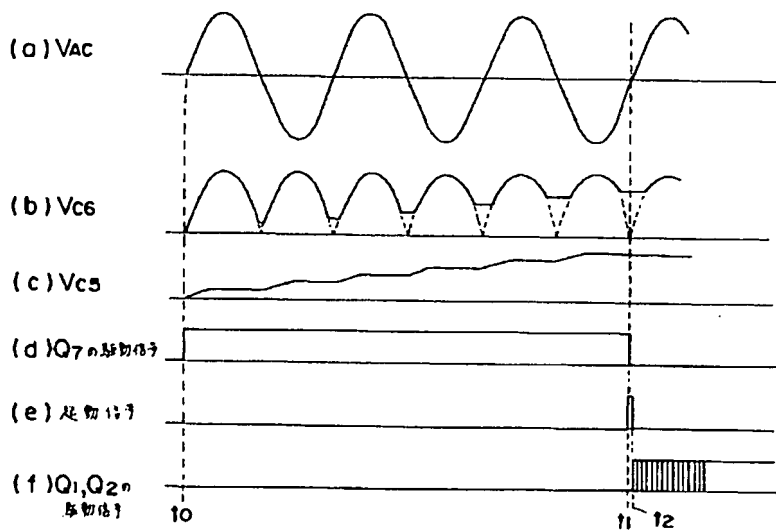
【図 25】



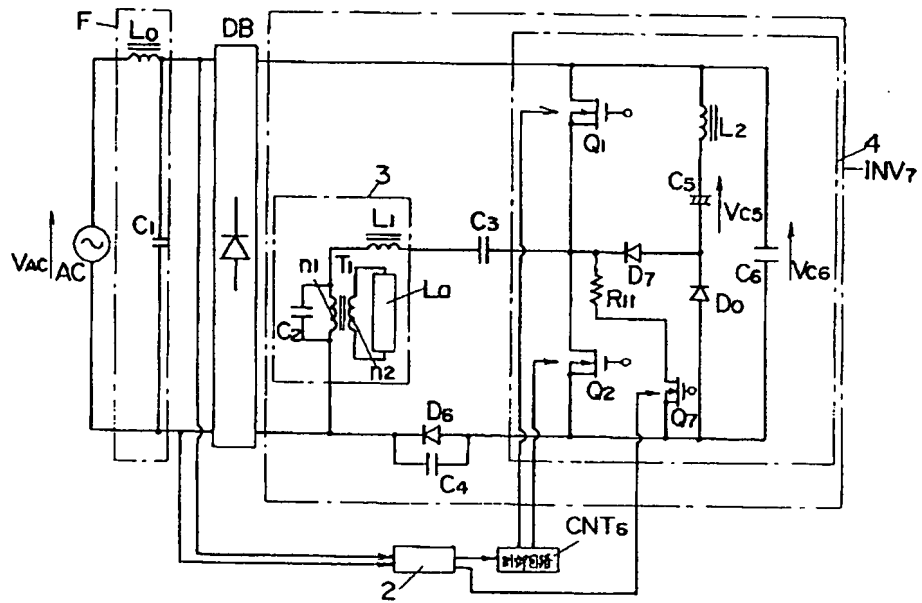
【図 48】



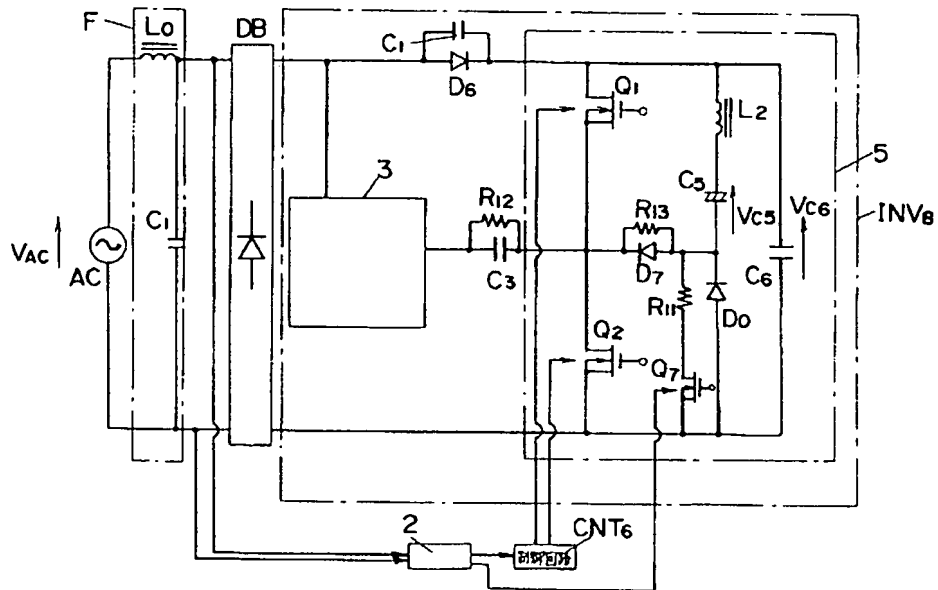
【図 27】



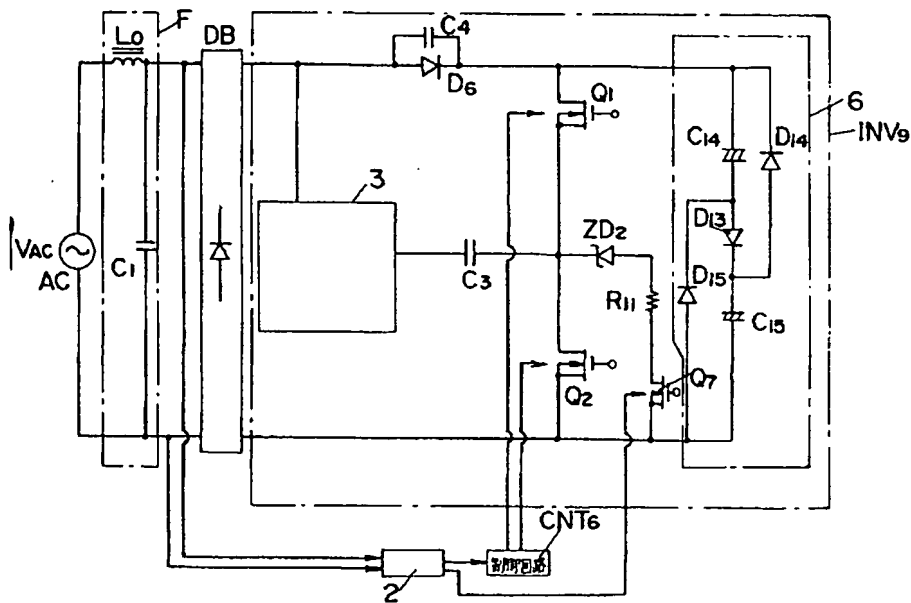
【図 26】



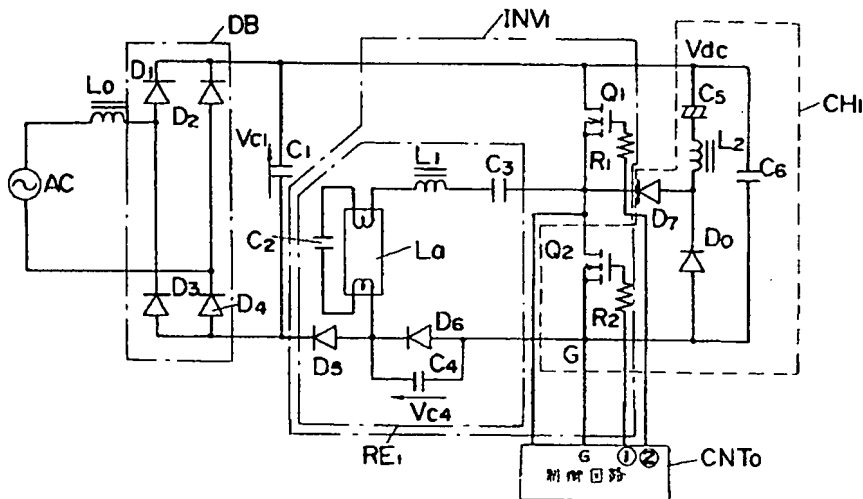
【図 28】



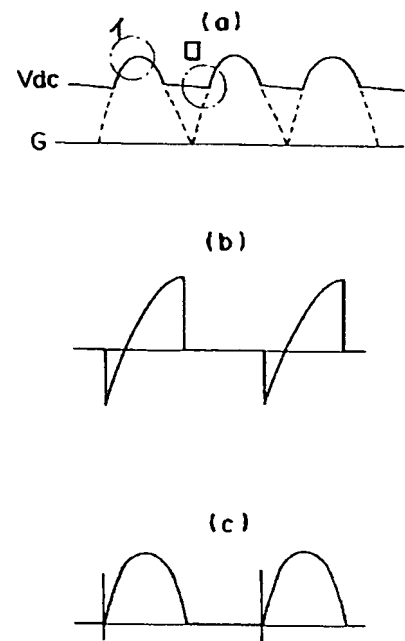
【图 29】



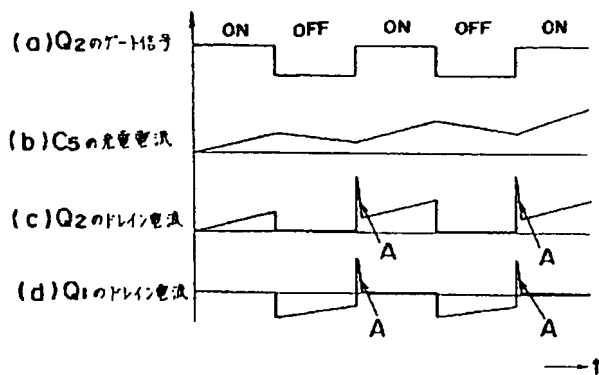
【図 3 5】



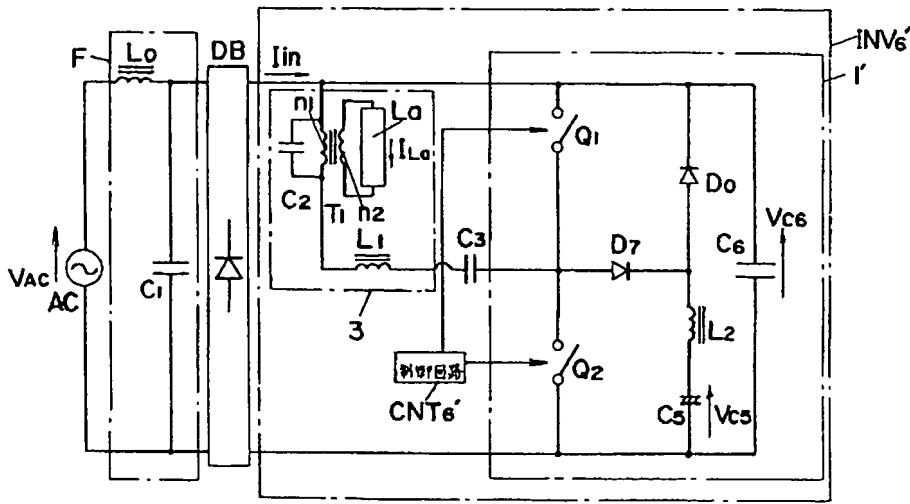
【図 49】



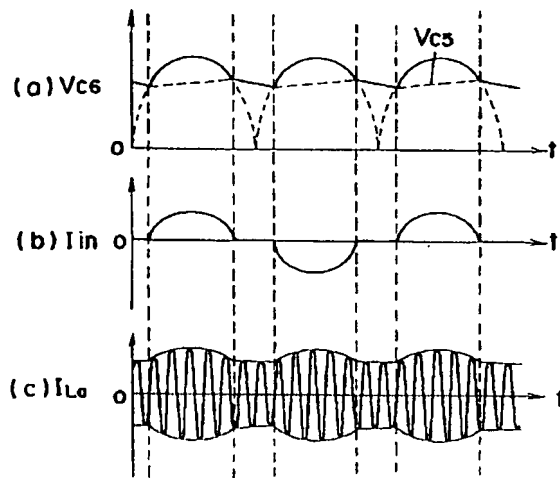
【图 4 7】



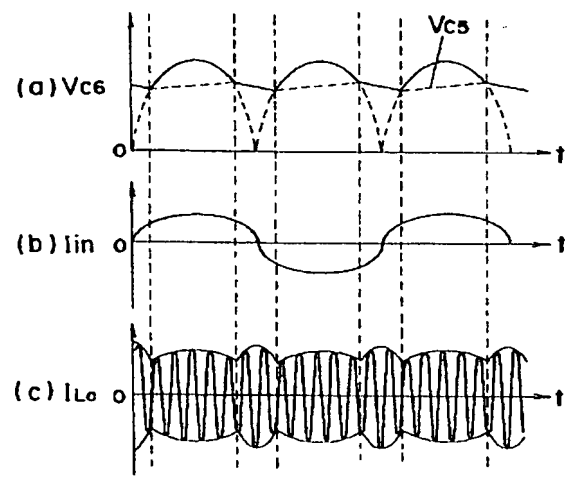
【図 37】



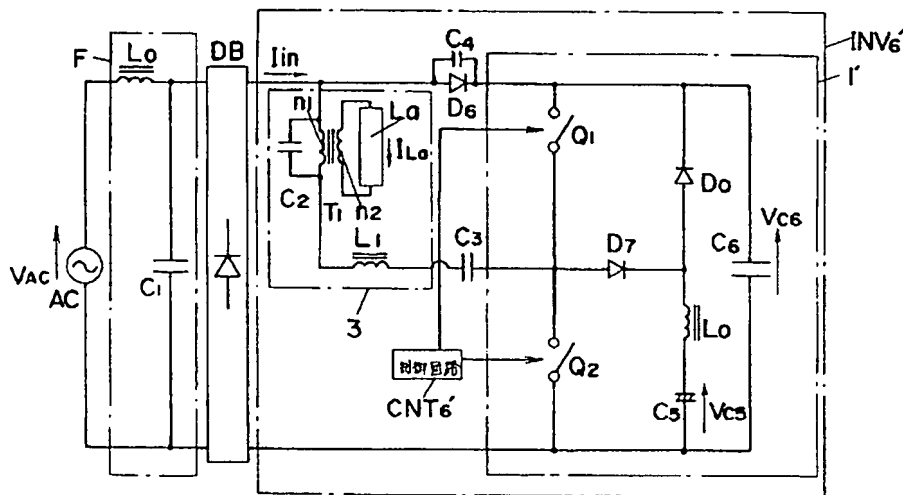
【図 38】



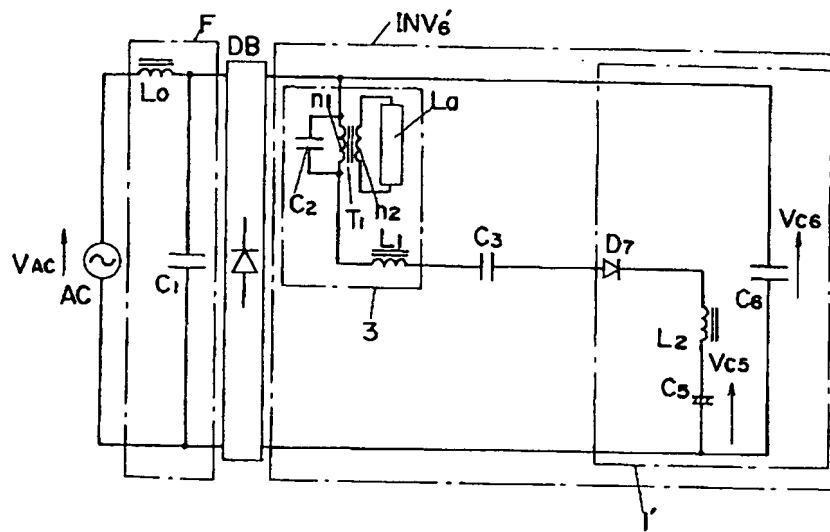
【図 40】



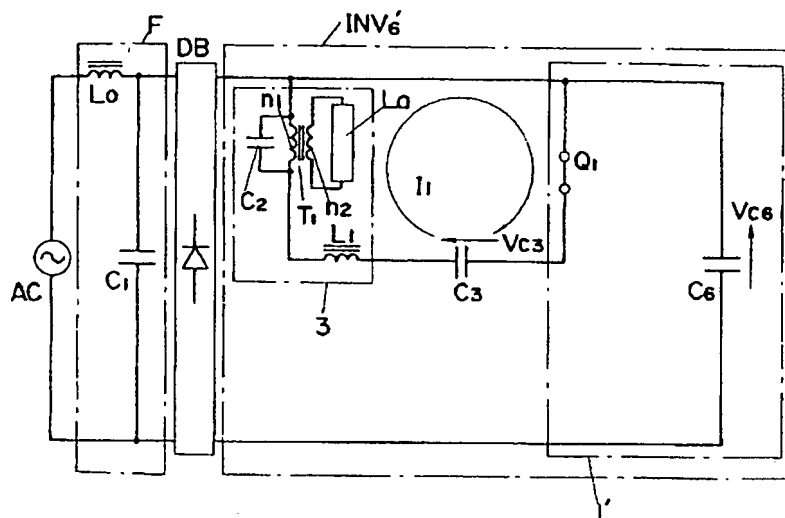
【図 39】



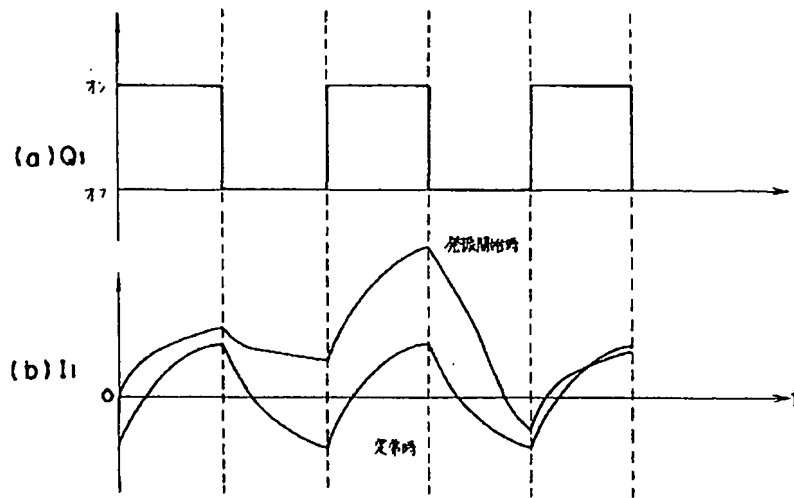
【図 4 1】



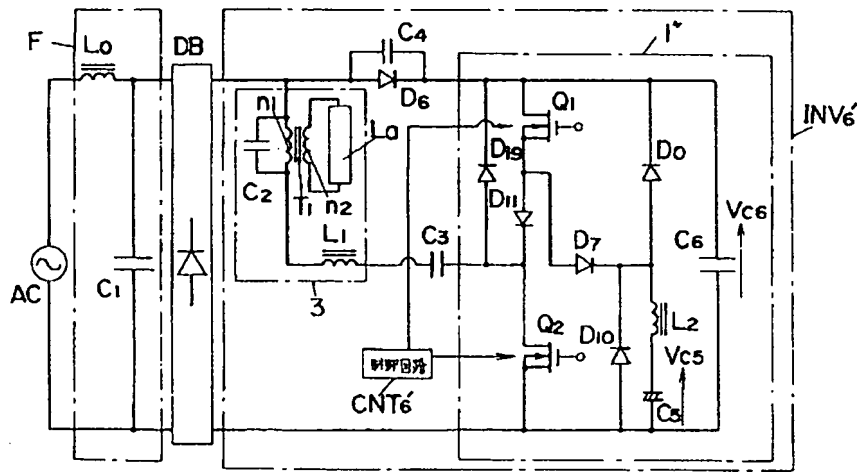
【図 4 2】



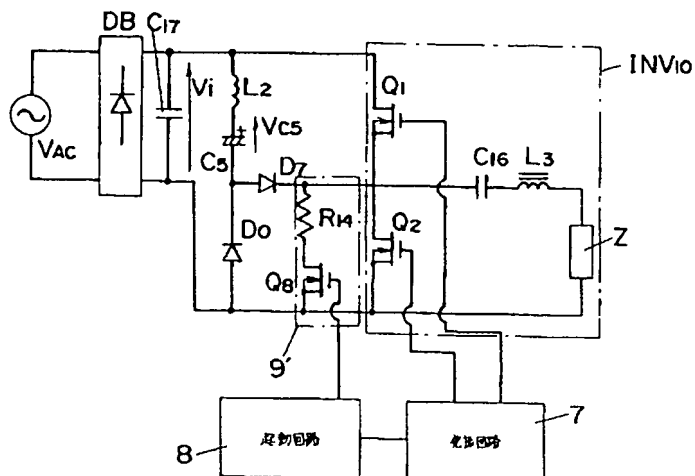
【圖 4 3】



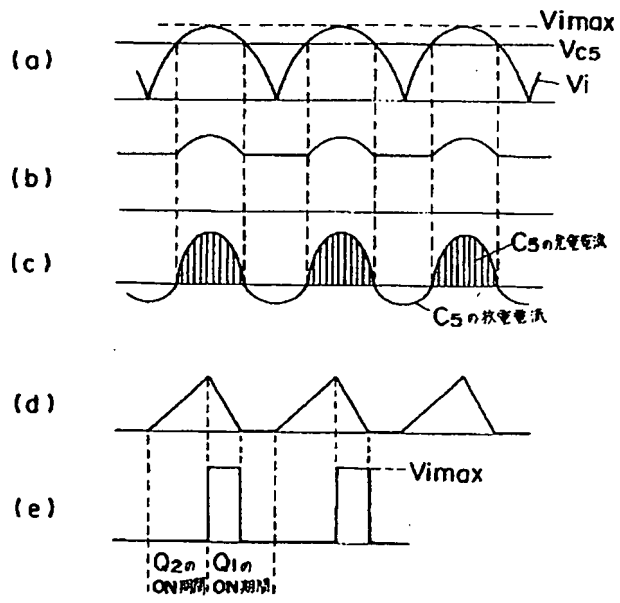
【圖 4 4】



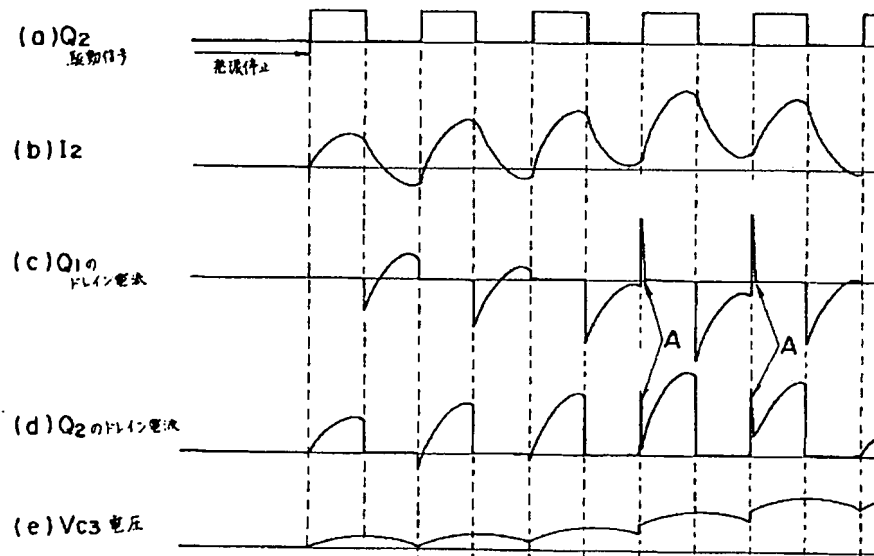
【圖 4 5】



【図46】



【図50】





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10164853 A**(43) Date of publication of application: **19.06.98**

(51) Int. Cl.

H02M 7/48**H02M 7/538****H05B 41/24****H05B 41/29**(21) Application number: **08314352**(22) Date of filing: **26.11.96**(71) Applicant: **MATSUSHITA ELECTRIC WORKS LTD**(72) Inventor: **SAKO HIROYUKI
NISHIMOTO KAZUHIRO
HAMAMOTO KATSUNOBU**(54) **POWER SUPPLY**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress power supply voltage rise under a light load.

SOLUTION: A chopper circuit CH₁, comprising a capacitor C₅, an inductance L₂ and a switching element Q₃ is connected in parallel with a pseudo-power supply, i.e., a capacitor C₁, between the pulsating output terminals of a rectifier DB. The switching element Q₃ comprises an FET including a parasitic diode Da and it is turned on/off by a control circuit CNT, for driving the main switching elements Q₁, Q₂ in an inverter circuit INV₁. A circuit can be selected depending on the operation mode of the inverter circuit INV₁ (preheating mode and lighting mode for a discharge lamp La) by turning the switching element Q₃ on/off through the control circuit CNT₁. According to the arrangement, supply voltage to the inverter circuit INV₁ can be prevented from increasing under a light load while suppressing stress on the main switching elements Q₁, Q₂.

